



ÉCOLE POLYTECHNIQUE
FÉDÉRALE DE LAUSANNE

DÉPARTEMENT D'ÉLECTRICITÉ
Centre de Conception de Systèmes Intégrés

**Introduction à
l'ÉLECTRONIQUE
pour
ingénieurs physiciens
(II)**

Professeur Daniel MLYNEK

Physiciens, semestre IV

Lausanne, 1997



ÉCOLE POLYTECHNIQUE
FÉDÉRALE DE LAUSANNE

DÉPARTEMENT D'ÉLECTRICITÉ
Centre de Conception de Systèmes Intégrés

**Introduction à
l'ÉLECTRONIQUE
pour
ingénieurs physiciens
(II)**

Professeur Daniel MLYNEK

Physiciens, semestre IV
Lausanne, 1997

Table des matières

Leçon IX: SEMICONDUCTEURS ET DIODES.....	1
IX.1. Semiconducteurs.....	3
IX.2. Jonction PN.....	8
IX.3. Caractéristique électrique de la jonction PN.....	12
IX.4. Capacité de transition.....	16
IX.5. Exercices.....	19
Leçon X: LE TRANSISTOR BIPOLAIRE, MONTAGES DC.....	2 5
X.1 Généralités.....	27
X.2 Modes de fonctionnement du transistor.....	29
X.3 Modèle de Ebers et Moll.....	35
X.4 Cas de fonctionnement du transistor.....	37
X.5 Effet Early.....	39
X.6 Le transistor en régime d'accroissement.....	41
X.7 Exercices.....	43
Leçon XI: L'AMPLIF. A TRANSISTOR BIPOLAIRE.....	4 7
XI.1 Dipôles et dualité Norton-Thévenin.....	49
XI.1.1 Dipôle passif.....	49
XI.1.2 Dipôle actif.....	49
XI.1.3 Dualité Norton-Thévenin.....	49
XI.2 Notions générales sur les quadripôles.....	50
XI.2.1 Paramètres z.....	50
XI.2.2 Paramètres y.....	51
XI.2.3 Paramètres h.....	51
XI.2.4 Passage d'un formalisme à un autre.....	52
XI.3 Gains et impédances d'un quadripôle chargé.....	53
XI.4 Formalisme quadripolaire et amplificateur à transistor.....	54
XI.5 Amplificateurs Idéaux.....	55
XI.5.1 Amplificateur de tension.....	55
XI.5.2 Amplificateur de courant.....	56
XI.5.3 Amplificateur à transconductance.....	56
XI.5.4 Amplificateur à transrésistance.....	56
XI.6. Exercices.....	57

Leçon XII: TRANSISTOR MOS, FAMILLES LOGIQUES.....	6 1
XII.1 Généralités.....	85
XII.2 Fonctionnement du transistor MOS.....	85
XII.3. Charges et canal.....	85
XII.4. Courants dans le MOS	85
XII.5. Transistor MOS en régime de faible inversion	85
XII.6. Familles technologiques: introduction.....	85
XII.1.1 La logique à diodes	85
XII.1.2 La logique à transistors bipolaires.....	85
XII.1.3 La logique à transistors MOS.....	86
XII.2 Caractéristiques importantes (critères de sélection).....	87
XII.2.1 Caractéristiques de transfert.....	87
XII.2.2 Fan-in et fan-out.....	87
XII.2.3 Puissance dissipée	88
XII.2.4 Délais de propagation par porte.....	88
XII.2.5 Produit puissance-délai.....	89
XII.7. Exercices.....	89
Leçon XIII: SYSTEMES LOGIQUES COMBINATOIRES.....	9.3
XIII.1 Quelques codes.....	95
XIII.1.1 Code binaire pur.....	95
XIII.1.2 Code en complément à deux	97
XIII.1.3 Code Gray	98
XIII.1.4 Code BCD.	98
XIII.2 Opérations logiques booléennes de base	98
XIII.2.1 Opération ET (AND).....	98
XIII.2.2 Opération OU (OR).....	99
XIII.2.3 Opération NON (NOT)	99
XIII.2.4 Opération NON-ET (NAND)	99
XIII.2.5 Opération NON-OU (NOR).....	99
XIII.2.6 Opération OU EXCLUSIF (XOR).....	99
XIII.3 Logique combinatoire	100
XIII.3.1 Définition.....	100
XIII.3.2 Table de vérité	100
XIII.3.3 Table de Karnaugh.....	101
XIII.3.4 Théorèmes logiques.....	102
XIII.4 Exercices.....	103

Leçon XIV: SYSTEMES LOGIQUES SEQUENTIELS.....	1 0 5
XIV.1 Introduction	107
XIV.2 Systèmes synchrones et asynchrones	107
XIV.3 Exemple de système séquentiel synchrone	107
XIV.4 Quelques fonctions séquentielles	108
XIV.5 Exercices.....	112
Leçon XV: CONVERTISSEURS NUMERIQUE /	
ANALOGIQUE	1 1 5
XV.1 Principes de conversion numérique / analogique	117
XV.1.1 Convertisseur numérique / analogique	117
XV.1.2 Le convertisseur potentiométrique	117
XV.1.3 Le convertisseur à résistances pondérées	118
XV.1.4 Le convertisseur à sources de courant pondérées	118
XV.2 Réalisations pratiques	118
XV.2.1 Caractéristiques générales des convertisseurs n / a	118
XV.2.3 Exemple de convertisseur numérique / analogique: le DAC 800	120
XV.3 Exercices.....	121
Leçon XVI: CONVERTISSEURS ANALOGIQUE /	
NUMERIQUE	1 2 3
XVI.1 Conversion N / A et signaux électriques.....	125
XVI.1.1 Le convertisseur N / A	125
XVI.1.2 Classification morphologique des signaux.....	125
XVI.1.3 Remarque scientifique: électricité et physique.....	127
XVI.2 Échantillonnage de signaux.....	128
XVI.3 Principes de conversion.....	128
XVI.3.1 Convertisseurs à intégration analogique.....	128
XVI.3.2 Convertisseurs à intégration numérique.....	129
XVI.3.3 Convertisseurs à approximations successives.....	130
XVI.3.4 Convertisseurs flash.....	131
XVI.4 Réalisations pratiques de convertisseurs.....	131
XVI.4.1 Caractéristiques générale des convertisseurs A / N.....	131
XVI.4.2 Exemple de convertisseur A / N : le ADC 0800.....	132
XVI.5 Exercices.....	133

TRAVAUX PRATIQUES DE LABORATOIRE.....	1 3 7
TP5: Diodes a jonctions	139
5.1 Mesure de la caractéristique statique	139
5.2 Mesure de la résistance différentielle.....	140
5.3 Caractéristique $I_D = f(U_D)$	140
5.4 Redressement et filtrage	140
5.5 Limiteur.....	141
5.6 Détecteur du signal le plus positif	141
5.7 Montage à photodiode	141
5.8 Redresseur double alternance	142
5.9 Redresseur à pont de Graetz	142
TP6: Transistors bipolaires.....	143
6.1 Circuit logique: inverseur à transistor bipolaire.....	143
6.2 Caractéristiques statiques d'un transistor bipolaire (NPN).....	144
6.3 Comparaison de la consommation des portes TTL et MOS	145
TP7: Introduction aux systèmes logiques combinatoires	147
7.1 L'opérateur NAND.....	147
7.2 Fonction logique.....	147
7.3 Analyse d'un système combinatoire.....	148
BIBLIOGRAPHIE	1 4 9
FICHES TECHNIQUES DE COMPOSANTS.....	1 5 3



20110112

Introduction au cours

Ce cours d'introduction à l'électronique est au programme de la deuxième année du cycle d'études à l'Ecole Polytechnique de Lausanne en section de physique. Les étudiants ingénieurs physiciens arrivent en cours sans notions ni d'électrotechnique, informatique, systèmes logiques ou automatique. Cette spécificité des physiciens a été prise en compte et cette introduction à l'électronique contient de rapides introductions pour des sujets ponctuels jugés indispensables.

L'offre d'enseignement faite aux candidats ingénieurs est triple:

- les séances de cours et d'exercices en introduction aux concepts de l'électronique (2 h / semaine)
- une brochure représentant le support de cours, afin d'alléger la prise de note et de constituer un document plus riche et complet que ne le peut être le cours.
- les séances de laboratoire pour les travaux pratiques. Ces travaux devraient constituer, dans l'esprit de cet enseignement, la partie principale de l'effort des étudiants.
(4 h / 2 semaines)

Après un premier semestre composé de huit leçons, une épreuve et un projet s'étendant sur cinq semaines, l'étudiant physicien est appelé à suivre un second semestre structuré identiquement: huit leçons, trois travaux pratiques et un mini projet où il est confronté à un problème électronique plus évolué, à l'aide d'outils informatiques professionnels.

Nous souhaitons que cette offre d'enseignement soit profitable aux étudiants ingénieurs physiciens, offre qui pourrait conduire l'étudiant au seuil des ouvrages et des laboratoires techniques et scientifiques en physique et électricité, tant pour des questions théoriques, que pour des problèmes pratiques et expérimentaux des ingénieurs et des physiciens.

Remerciements

Nous avons demandé à Rafik Abboud, ingénieur ETS et élève physicien de l'EPFL, de nous aider à composer ce document afin d'atteindre les objectifs cités ci-dessus. A ce titre nous le remercions chaleureusement pour sa motivation et son efficacité dans sa contribution à la réalisation de ce cours.

Nous remercions également Monsieur le Professeur Jean-Daniel Chatelain pour nous avoir accordé son autorisation de reproduire le document sur les semi-conducteurs, la diode et les transistors.

Leçon IX: SEMICONDUCTEURS ET DIODES

Dans cette partie, on présente sans l'approfondir une introduction aux semiconducteurs et à la jonction PN. La physique des semiconducteurs, tant dans sa dimension appliquée que dans sa dimension recherche technologique est bien représentée à l'École polytechnique de Lausanne. Pour les étudiants physiciens, il y a le cours de matériaux de troisième année ainsi que celui de semiconducteurs de quatrième année.

Ce qui importe ici est de se familiariser avec le modèle exponentiel de la diode et ses diverses simplifications dans des montages très classiques. Les exercices et le premier travail pratique du semestre y sont consacrés.

PLAN DE LA LEÇON IX:

IX.1. Semiconducteurs

IX.2. Jonction PN

IX.3. Caractéristique électrique de la jonction PN

IX.4. Capacité de transition

IX.5. Exercices sur les diodes

SPN SEMICONDUCTEURS ET JONCTION PN

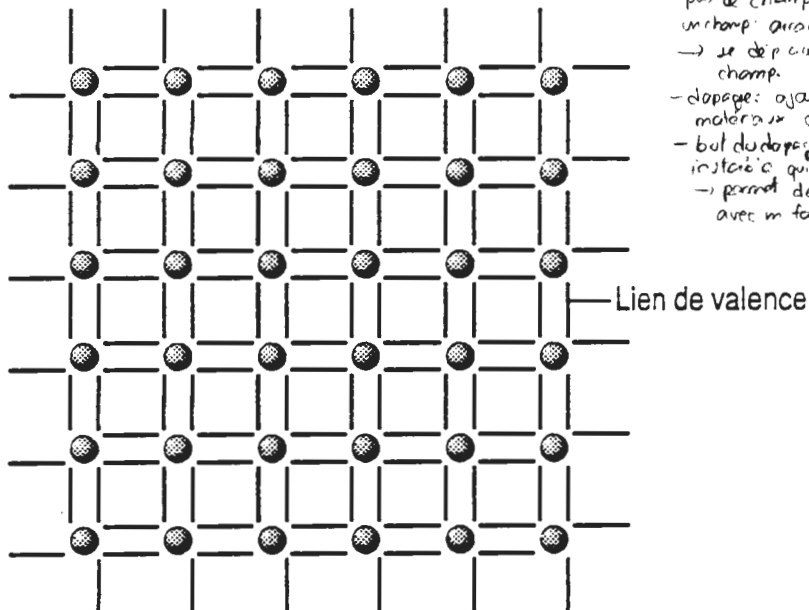
1 SEMICONDUCTEURS

1.1 Introduction

Cette section, essentiellement descriptive, a pour objet de donner au lecteur des modèles simples de semiconducteurs intrinsèques et extrinsèques de type n ou de type p. La connaissance de ces modèles permet, par la suite, de rendre compte du comportement des dispositifs à semiconducteurs tels que diode, transistor bipolaire, transistors à effet de champ, etc.

1.2 Description: semiconducteur intrinsèque

Un cristal de semiconducteur intrinsèque est un solide dont les noyaux atomiques sont disposés aux noeuds d'un réseau géométrique régulier. La cohésion de cet édifice est assurée par les liens de valence qui résultent de la mise en commun de deux électrons appartenant chacun à deux atomes voisins de la maille cristalline. Les atomes de semiconducteur sont tétravalents et le cristal peut être représenté par le réseau de la figure 1:



Intro. semi-conducteur: matériau qui ne conduit pas, on n'a pas de porteur de charge. Si on applique un champ, on crée des e^- → se déplacent à la direction du champ.

*- dopage: ajoute au Si d'autres matériaux du tableau à partir de la 4^e colonne.
- but du dopage: obtenir un état instable qui permet de déplacer des e^- → permet de provoquer un déplacement avec un faible champ.*

Figure 1: semiconducteur intrinsèque

1.3 Définitions

L'électron qui possède une énergie suffisante peut quitter la liaison de valence pour devenir un électron libre. Il laisse derrière lui un trou qui peut être assimilé à une charge libre positive; en effet, l'électron quittant la liaison de valence à laquelle il appartenait

SEMICONDUCTEURS ET JONCTION PN

démâsque une charge positive du noyau correspondant. Le trou peut être occupé par un autre électron de valence qui laisse, à son tour, un trou derrière lui: tout se passe comme si le trou s'était déplacé, ce qui lui vaut la qualification de charge libre. La création d'une paire électron libre - trou est appelée *génération* alors qu'on donne le nom de *recombinaison* au mécanisme inverse.

1.4 *Assertion*

La température est une mesure de l'énergie cinétique moyenne des électrons dans le solide. On comprend dès lors que la concentration des électrons libres et des trous dépende très fortement de la température. $U = \frac{3}{2} NKT$

1.5 *Exemples*

Le silicium a un nombre volumique d'atomes de $5 \cdot 10^{22}$ par cm^3 . A 300 K (27°C), le nombre volumique des électrons libres et des trous est de $1,5 \cdot 10^{10}$ cm^{-3} , soit une paire électron libre - trou pour $3,3 \cdot 10^{12}$ atomes.

Le nombre volumique des atomes dans le germanium est de $4,4 \cdot 10^{22}$ par cm^3 . A 300 K, le nombre volumique des électrons libres et des trous est $2,5 \cdot 10^{13}$ cm^{-3} , soit une paire électron libre - trou pour $1,8 \cdot 10^9$ atomes.

1.6 *Description: semiconducteur extrinsèque de type n*

Un semiconducteur dans lequel on aurait substitué à quelques atomes tétravalents des atomes pentavalents est dit extrinsèque de type n (Fig. 2)

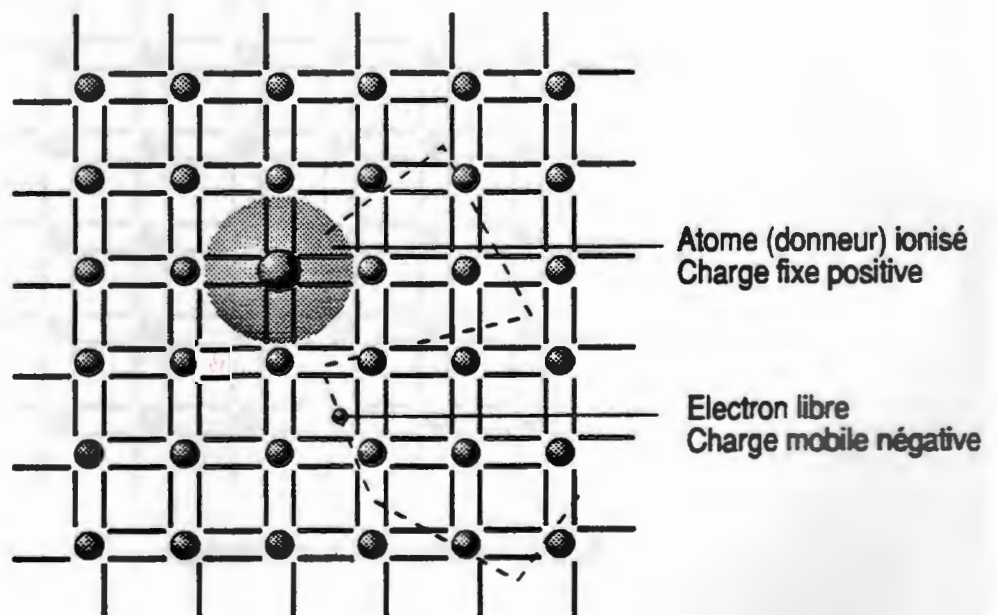


Figure 2: semiconducteur de type n

SEMICONDUCTEURS ET JONCTION PN

Quatre électrons de la couche périphérique de l'atome pentavalent prennent part aux liens de valence alors que le cinquième, sans attache, est libre de se mouvoir dans le cristal. L'électron libre ainsi créé neutralise la charge positive, solidaire du réseau cristallin, qu'est l'atome pentavalent ionisé.

1.7 Définitions

Le *dopage* est l'action qui consiste à rendre un semiconducteur extrinsèque. Par extension, ce terme qualifie également l'existence d'une concentration d'atomes étrangers: on parle de *dopage de type n*. On donne le nom d'*impuretés* aux atomes étrangers introduits dans la maille cristalline. Dans le cas d'un semiconducteur extrinsèque de type n, les impuretés sont appelées *donneurs* car chacune d'entre elles donne un électron libre.

1.8 Modèle

Les dopages courants sont d'environ 10^{16} à 10^{18} atomes par cm^3 . On peut admettre que le nombre volumique des électrons libres est égal au nombre volumique des impuretés et que le nombre volumique des trous (charges libres positives) est négligeable. Etant données ces considérations, on établit le modèle de semiconducteur représenté à la figure 3 dans lequel n'apparaissent que les charges essentielles, à savoir: les électrons libres et les donneurs ionisés. Les charges fixes sont entourées d'un cercle.

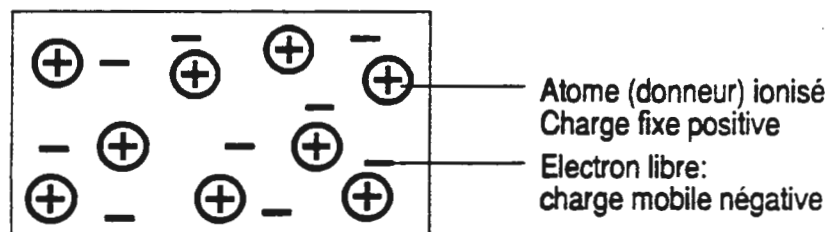


Figure 3: semiconducteur de type n (modèle)

1.9 Description: semiconducteur extrinsèque de type p

Si l'on introduit des *atomes trivalents* dans le réseau cristallin du semiconducteur, les trois électrons de la couche périphérique de l'impureté prennent part aux liens de valence, laissant une place libre. Ce trou peut être occupé par un électron d'un autre lien de valence qui laisse, à son tour, un trou derrière lui. L'atome trivalent est alors ionisé et sa charge négative est neutralisée par le trou (voir fig. 4). Le semiconducteur est alors extrinsèque de type p.

1.10 Définition

Les impuretés, dans un semiconducteur extrinsèque de type p, sont appelées *accepteurs* au vu de leur propriété d'accepter un électron situé dans un lien de valence.

SEMICONDUCTEURS ET JONCTION PN

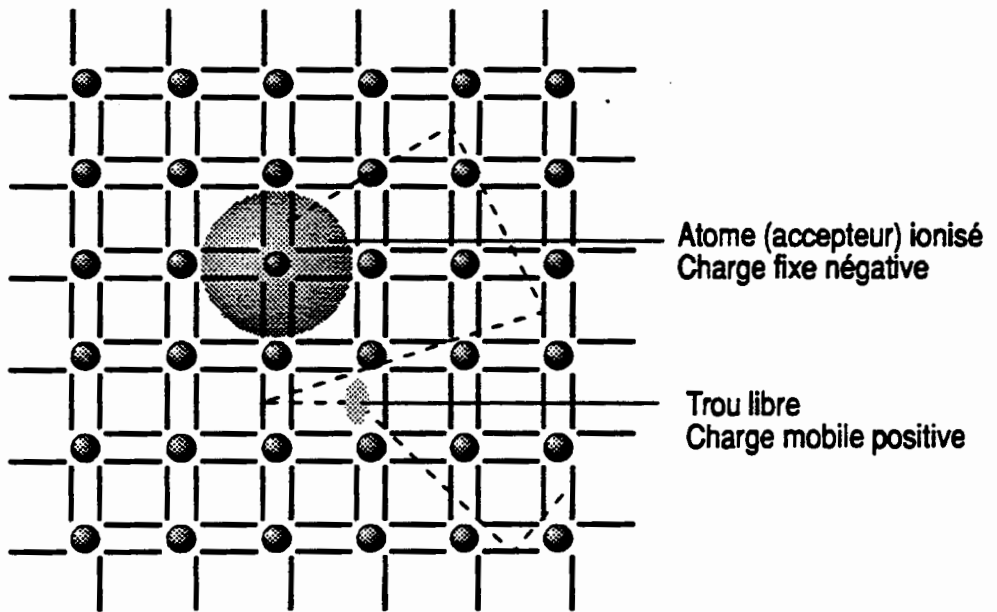


Figure 4: semiconducteur de type p

1.11

Modèle

On peut faire les mêmes considérations qu'au paragraphe 1.8 concernant le nombre volumique des trous: il est approximativement égale au nombre volumique des impuretés. Le nombre volumique des électrons libres est alors considéré comme négligeable. Il s'ensuit un modèle, représenté à la figure 5, dans lequel n'apparaissent que les charges prépondérantes: les trous et les accepteurs ionisés.

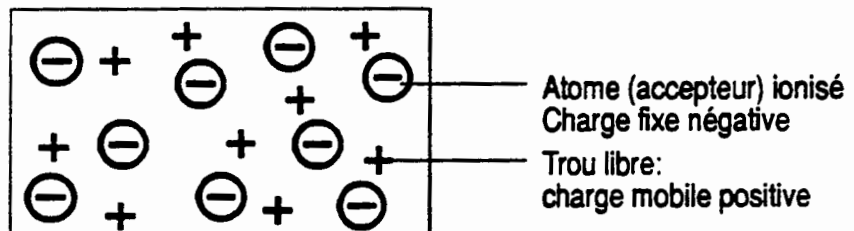


Figure 5: semiconducteur de type n (modèle)

1.12

Commentaire

Il faut remarquer que le semiconducteur extrinsèque, type p ou type n, est globalement neutre. On peut le comparer à un réseau géométrique dont certains nœuds sont chargés et dans lequel stagne un gaz de charges mobiles qui neutralise les charges fixes du réseau. On élargit, par la suite, la notion de semiconducteur de type n à un

SEMICONDUCTEURS ET JONCTION PN

semiconducteur dont le nombre volumique des donneurs l'emporte sur celui des accepteurs et celle de semiconducteur de type p à un semiconducteur dans lequel le nombre volumique des accepteurs est prépondérant.

SEMICONDUCTEURS ET JONCTION PN

2 JONCTION PN

2.1 Introduction

Le dopage non uniforme d'un semiconducteur, qui met en présence une région de type n et une région de type p, donne naissance à une jonction pn. Dans la présente section, on étudie, qualitativement, les phénomènes qui ont pour siège la jonction pn. On donne également la relation exponentielle qui lie courant et tension dans une telle jonction.

2.2 Description

Soit le semiconducteur à dopage non uniforme de la figure 6 qui présente une région p à nombre volumique d'atomes accepteurs constant suivie immédiatement d'une région n à nombre volumique de donneurs constant également. La surface de transition entre les deux régions est appelée jonction pn abrupte. Du fait de la continuité du réseau cristallin, les gaz de trous de la région p et d'électrons de la région n ont tendance à uniformiser leur concentration dans tout le volume à disposition. Cependant, la diffusion des trous vers la région n et des électrons libres vers la région p provoque un déséquilibre électrique si bien que, dans la zone proche de la jonction, la neutralité électrique n'est plus satisfaite. On trouve, dans la région p, des atomes accepteurs et des électrons, soit une charge locale négative, et dans la région n, des atomes donneurs et des trous, soit une charge locale positive. Il s'est donc créé un dipôle aux abords de la jonction et, conjointement, un champ électrique. Une fois l'équilibre atteint, ce champ électrique est tel qu'il s'oppose à tout déplacement global de charges libres.

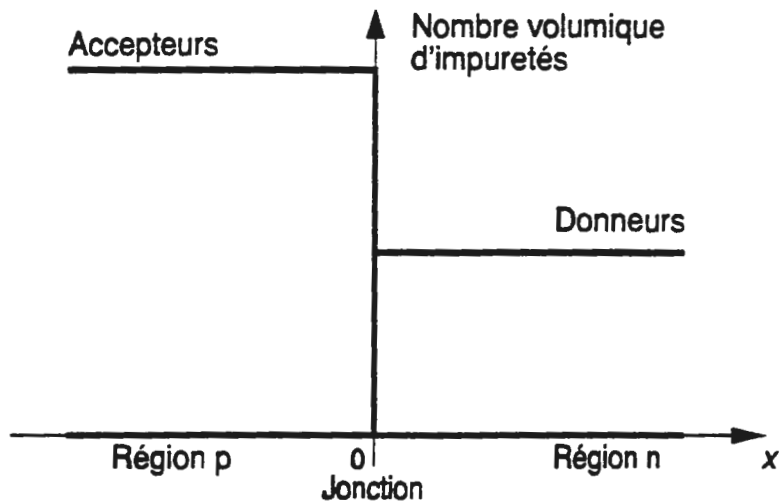


Figure 6: jonction pn abrupte

2.3 Définitions

La région dans laquelle la neutralité n'est pas satisfaite est appelée *zone de déplétion* ou *zone de charge spatiale* alors que les autres régions sont dites *régions neutres*. Le champ électrique interne créé par le dipôle est nommé *champ de rétention de la*

SEMICONDUCTEURS ET JONCTION PN

diffusion car il s'oppose à toute diffusion des charges mobiles.

2.4

Assertion

Généralement, la concentration des charges mobiles dans la zone de charge spatiale est négligeable vis-à-vis du nombre volumique des charges fixes. On idéalise cet état de fait et l'on admet qu'il n'y a pas de charges mobiles dans la zone de déplétion (voir fig. 7).

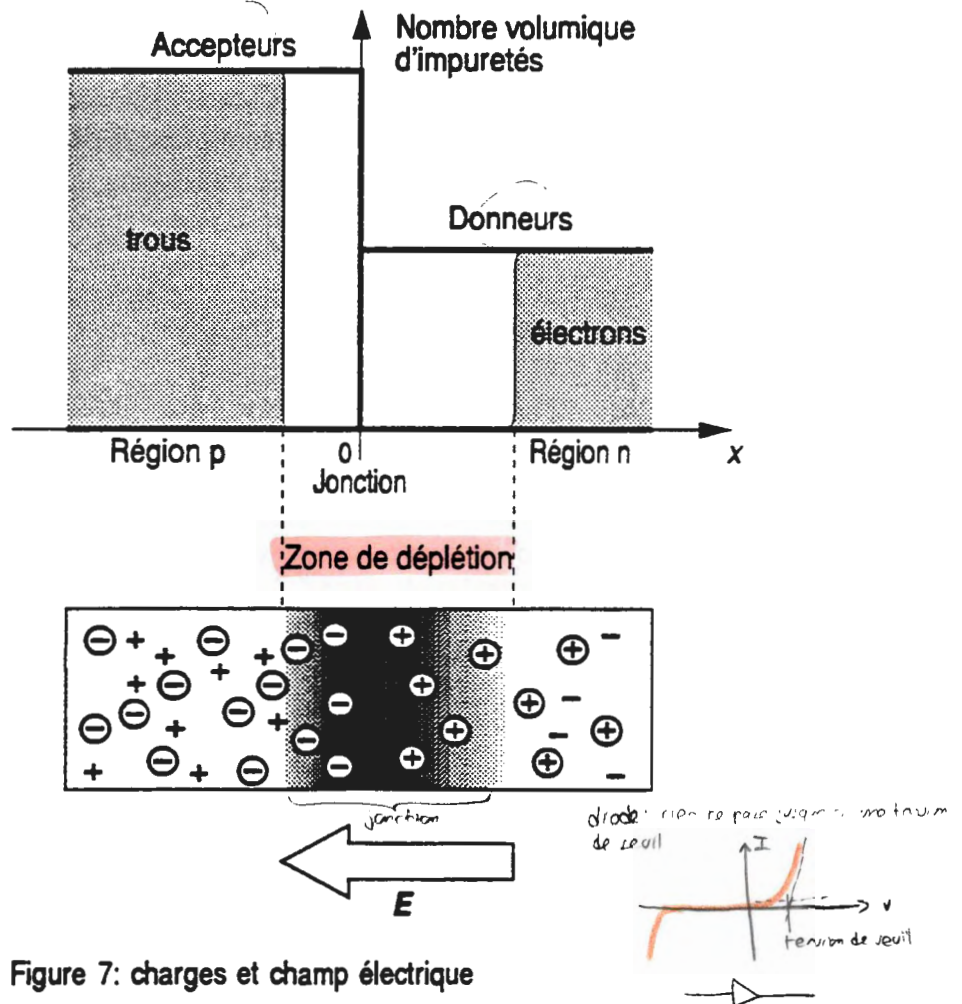


Figure 7: charges et champ électrique

2.5

Propriété

Il existe, entre la région p et la région n, une barrière de potentiel énergétique pour les charges mobiles. L'existence de cette barrière se traduit par une différence de potentiel électrique liée au champ de rétention de la diffusion.

2.6

Preuve

L'existence de la barrière de potentiel est mise en évidence par le travail W_p qu'il faut fournir pour faire passer un trou de la région neutre p à la région neutre n ou pour faire

SEMICONDUCTEURS ET JONCTION PN

passer un électron en sens contraire (voir fig. 8)

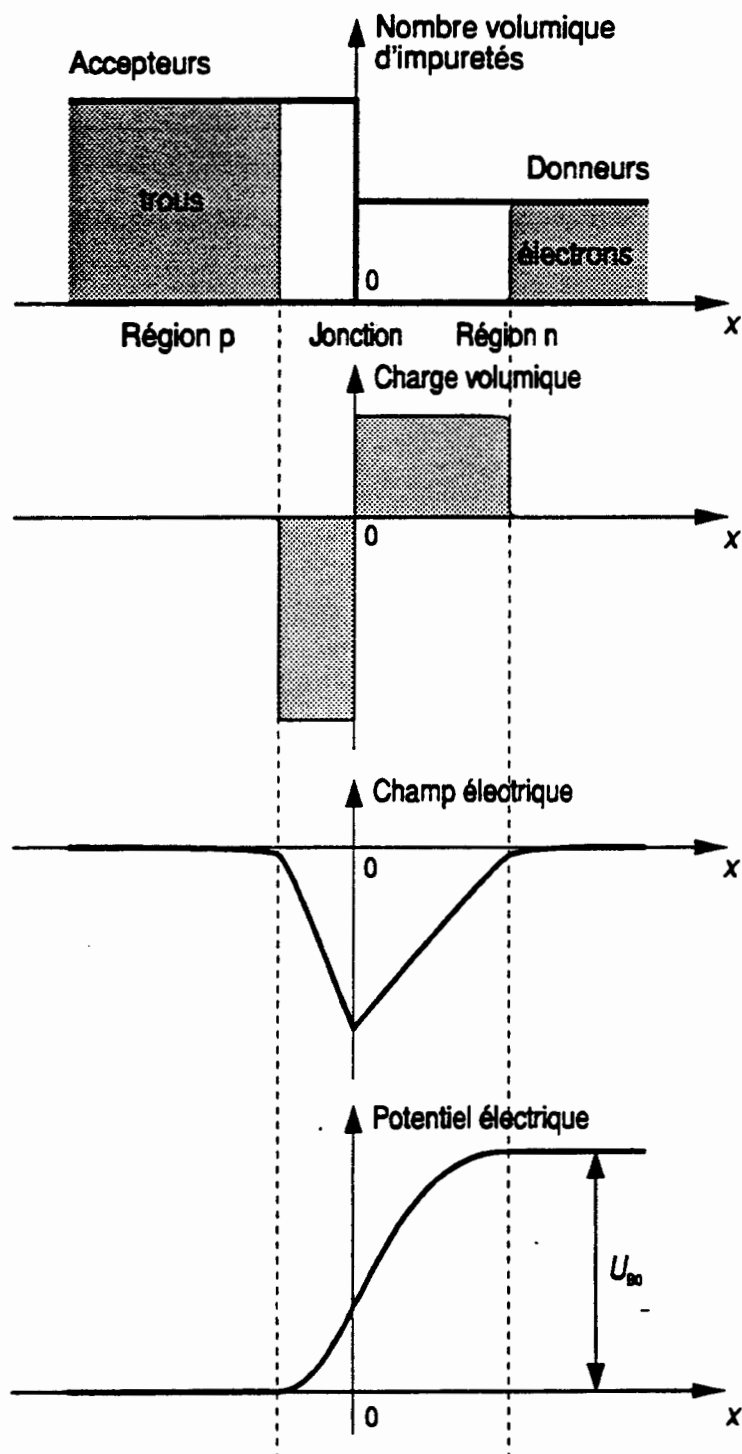


Figure 8: grandeurs spécifiques

SEMICONDUCTEURS ET JONCTION PN

$$W_p = \int_p^n F' \cdot d l \quad (1)$$

ou F' est la force opposée à la force de Coulomb donnée, dans le cas du trou de charge $+e$, par l'expression:

$$F' = -F = -e \cdot E \quad (2)$$

En introduisant (2) dans (1), on fait apparaître la notion de potentiel électrique:

$$W_p = -e \int_p^n E \cdot d l = e \int_p^n dV \quad (3)$$

On désigne par U_{B0} la hauteur de la barrière de potentiel dans une jonction à l'équilibre (voir fig. 8).

2.7 Exemple

Pour une jonction pn au silicium avec un dopage $N_A = 10^{18} \text{ cm}^{-3}$ dans la région p et un dopage $N_D = 10^{17} \text{ cm}^{-3}$ dans la région n, la hauteur de la barrière de potentiel à 300 K (27°C) à l'équilibre vaut 872 mV.

2.8 Commentaires

La hauteur de la barrière de potentiel à l'équilibre est telle que les trous qui sont dans la région p ont une énergie moyenne qui n'est juste pas suffisante pour leur permettre de passer la barrière de potentiel. Il en va de même pour les électrons qui se trouvent dans la région n.

SEMICONDUCTEURS ET JONCTION PN

3 CARACTÉRISTIQUE ÉLECTRIQUE DE LA JONCTION

3.1 Description

Si l'on applique une tension U à la jonction, cette tension se reporte presque entièrement à la zone de déplétion qui présente une résistivité très grande vu la quasi-absence de charges mobiles. Une tension U négative (voir fig. 9) renforce le champ de rétention de la diffusion et augmente, par conséquent, la hauteur de la barrière de potentiel, de telle sorte qu'aucune charge libre ne traverse la zone de charge spatiale.

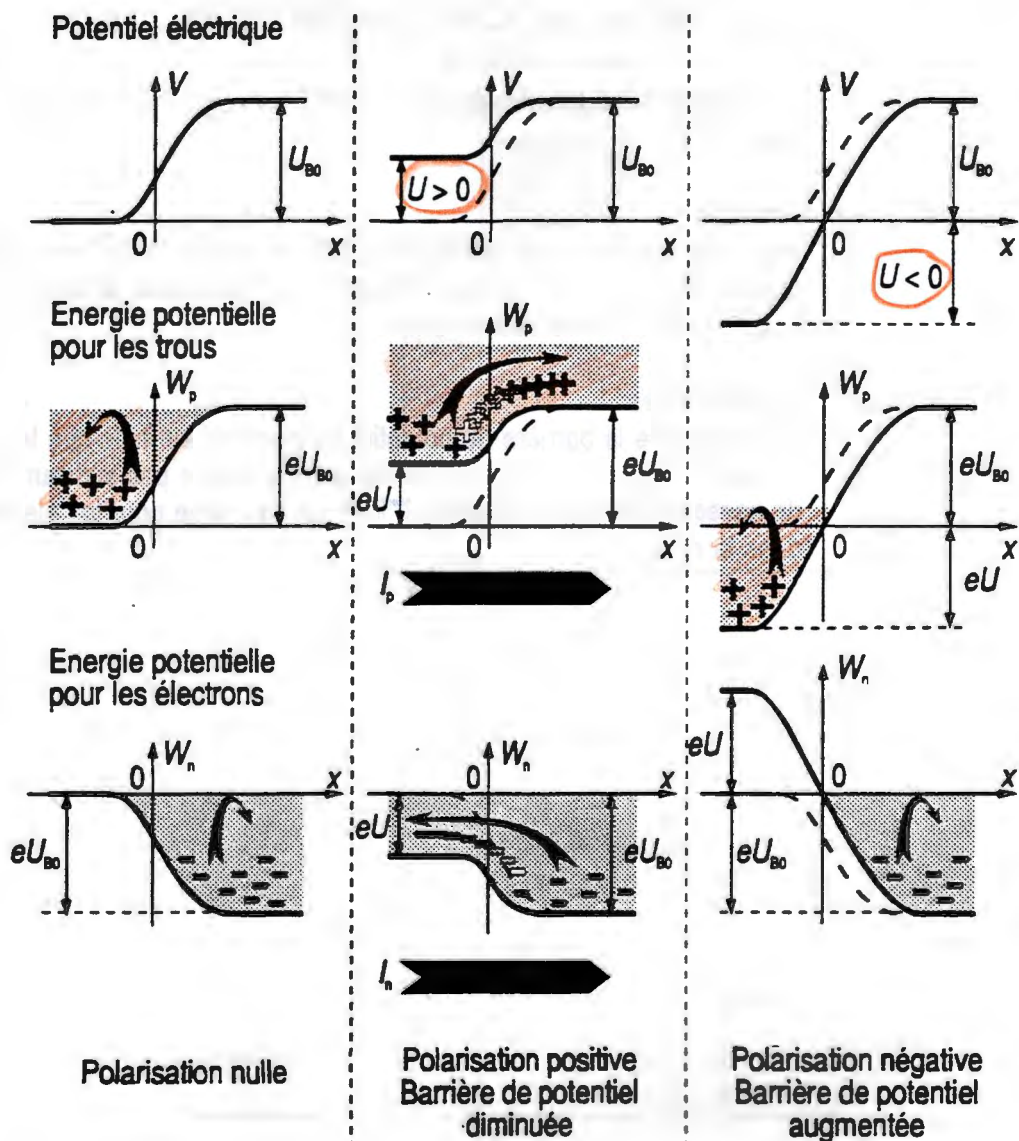


Figure 9: polarisations de la jonction

SEMICONDUCTEURS ET JONCTION PN

Au contraire, si l'on applique une tension U positive (voir fig. 9), le champ électrique de rétention de la diffusion est diminué et les charges mobiles qui ont une énergie supérieure à celle que représente la hauteur de la barrière de potentiel peuvent traverser la zone de charge spatiale.

Il est utile, ici, de se rappeler que l'énergie moyenne des charges mobiles est liée à la notion de température (voir § 1.4) et qu'à température donnée, cette énergie est constante.

3.2 Définitions

L'application d'une tension qui diminue la hauteur de la barrière de potentiel par rapport à l'équilibre est appelée **polarisation directe** par opposition à la **polarisation inverse** qui augmente la hauteur de la barrière de potentiel par rapport à l'équilibre.

3.3 Propriété

Une **polarisation directe** permet le passage d'un courant électrique dans la jonction alors qu'une **polarisation inverse** l'empêche. Cette propriété est traduite par les relations:

$$I_p = I_{sp} \left[\exp\left(\frac{U}{nU_T}\right) - 1 \right]$$

$$I_n = I_{sn} \left[\exp\left(\frac{U}{nU_T}\right) - 1 \right]$$

soit

$$I = I_n + I_p = I_s \left[\exp\left(\frac{U}{nU_T}\right) - 1 \right]$$

où

$$I_s = I_{sn} + I_{sp} \quad (7)$$

dont la dérivation sort du cadre de cette étude. La loi exprimée par la relation (6) est représentée à la figure 10.

3.4 Définitions

Le courant I_s est appelé **courant inverse de saturation**; c'est la valeur asymptotique du courant I en polarisation inverse.

On appelle **tension thermodynamique** la tension U_T qui vaut

$$U_T = \frac{kT}{e} \quad (8)$$

où k est la constante de Boltzmann, T la température absolue et e la charge de l'électron. A 25°C, $U_T = 25\text{mV}$.

Le facteur n est appelé **coefficient d'émission**. Il est voisin de 1 dans les jonctions de transistors au Si et dans les diodes au Ge. Il est compris entre 1 et 2 dans le cas de

$$I_s = I_{sn} + I_{sp} \quad (4)$$

• Indices n et p se réfèrent au type de dopage
 I_p : courant de la jonction de type p

I_n : courant de la jonction de type n

$$I_s: \text{courant inverse de saturation} \quad (5)$$

(c'est le courant qui pourrait traverser la barrière de potentiel à l'infini : effet tunnel)

U : tension aux bornes de la diode

$$U_T = \frac{kT}{e} \quad (6)$$

k : le Boltz.

T [K]

e : charge de e^-

SEMICONDUCTEURS ET JONCTION PN

diodes au Si.

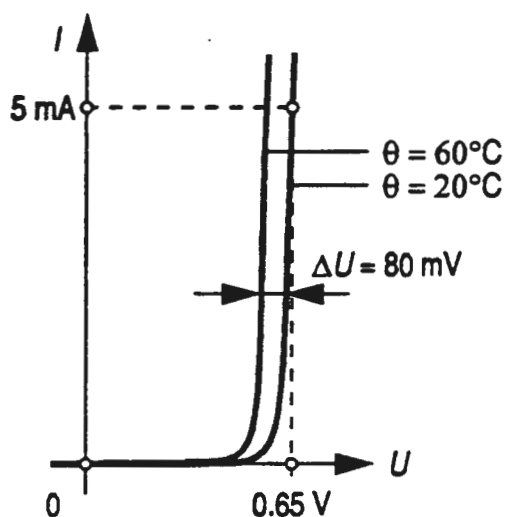


Figure 10: loi de la jonction

3.5 Commentaires

Le courant inverse de saturation des jonctions au Si est de l'ordre de grandeur de 10^{-12} à 10^{-15} A de telle sorte qu'on peut généralement le considérer comme nul en polarisation inverse.

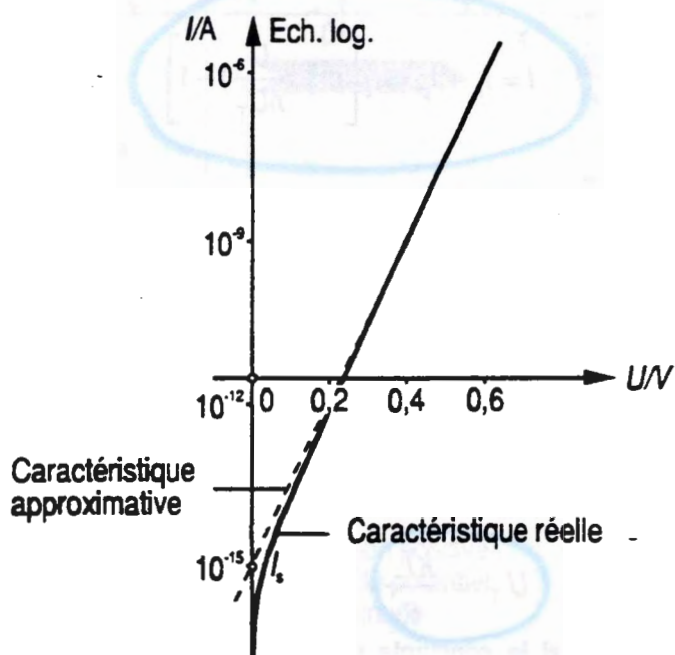


Figure 11: caractéristique de la jonction

SEMICONDUCTEURS ET JONCTION PN

Dans les cas pratiques, $U \gg nU_T$, la relation (6) peut se mettre sous la forme approchée:

$$I = I_s \exp \frac{U}{nU_T} \quad (9)$$



La représentation semi-logarithmique de la figure 11 fait apparaître l'erreur commise en utilisant la relation (9) plutôt que (6).

A courant constant, la tension à la jonction décroît de 2 mV pour une augmentation de température de 1°C (voir fig. 10). On appelle coefficient de température la grandeur γ_θ qui rend compte de ce phénomène:

$$\gamma_\theta = \left. \frac{dU}{d\theta} \right|_{I = \text{cte}} \quad (10)$$

où $\gamma_\theta = -2 \text{ mV } ^\circ\text{C}$.

Remarque: utilité des diodes: - permet de couper une sur-tension qui aurait pu endommager le circuit.
Diode \equiv barrière de potentiel

schémas: - diode 
- diode Zener: 

Définition: - résistance dynamique au pt. de fonctionnement d'une diode:

$$R_d := \frac{dU_0}{dI}$$

SEMICONDUCTEURS ET JONCTION PN

4 CAPACITÉ DE TRANSITION

4.1 Introduction

La largeur de la zone de déplétion dépend de la hauteur de la barrière de potentiel et, par conséquent, de la tension appliquée. Or, pour varier les dimensions de cette zone, on doit introduire ou retirer des charges mobiles qui neutralisent les charges fixes des atomes ionisés. Dans la description de la jonction en régime dynamique, on traduit ce comportement capacitif par la notion de capacité de transition.

4.2 Assertion

La largeur l de la zone de déplétion suit la loi:

$$l = l_0 \left(1 - \frac{U}{U_{B0}} \right)^m \quad (11)$$

dans laquelle le paramètre m est compris entre $1/3$, pour une jonction progressive linéaire, et $1/2$, pour une jonction abrupte.

4.3 Définition

Soit Q_T la charge de la zone de déplétion dans la région neutre n . Un accroissement dU_B de la hauteur de la barrière de potentiel, égal à l'accroissement dU de tension appliqué à la jonction, provoque un accroissement dQ_T de la charge Q_T (voir figure 12).

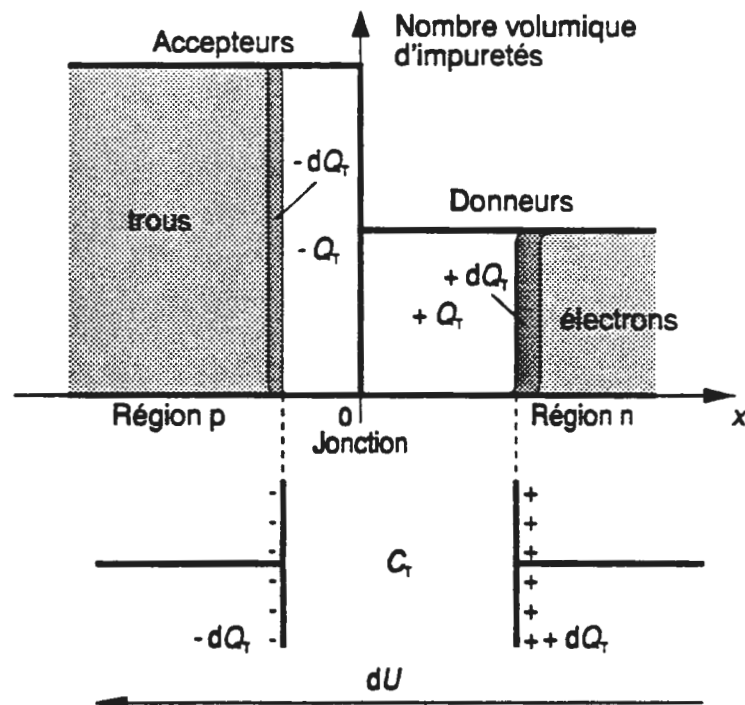


Figure 12: capacité de transition

SEMICONDUCTEURS ET JONCTION PN

On appelle *capacité de transition* la capacité différentielle définie par la relation:

$$C_T = \frac{dQ_T}{dU_B} = \frac{dQ_T}{dU} \quad (12)$$

4.4 Description

Comme pour tout condensateur plan, la capacité de transition se calcule d'après la relation:

$$C_T = \frac{\epsilon \cdot A}{l} \quad (13)$$

où ϵ est la permittivité du semiconducteur, A la section de la jonction et l la largeur de la zone de déplétion.

Comme la largeur de la zone de déplétion dépend de la tension U appliquée (12), la capacité de transition varie également en fonction de U selon la relation:

$$C_T = \frac{C_{T0}}{\left(1 - \frac{U}{U_{B0}}\right)^m} \quad (14)$$

où C_{T0} est la capacité de transition à tension nulle; elle a pour expression:

$$C_{T0} = \frac{\epsilon \cdot A}{l_0} \quad (15)$$

A la figure 13, on a représenté l'allure de la capacité de transition en fonction de la tension appliquée à la jonction.

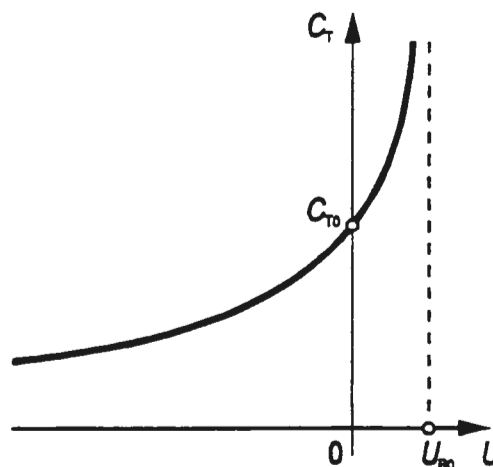


Figure 13: capacité de transition

SEMICONDUCTEURS ET JONCTION PN**4.5** *Remarque*

Dans les diodes dites VARICAP, on utilise la propriété de variation de la capacité de transition en fonction de la tension moyenne appliquée. On a recours à de tels éléments en radio, par exemple, pour réaliser des circuits oscillants dont la fréquence de résonance est réglée au moyen d'une tension.

IX.5. EXERCICES

Exercice IX.5.1

- On rappelle le modèle exponentiel de la caractéristique courant-tension de la diode:

Caractéristique de la diode :

$$I = I_s \cdot \left(e^{\frac{U}{n \cdot U_T}} - 1 \right) \quad (A)$$

U_T : constante

I : Courant de la diode (A)

I_s : Courant inverse de saturation (A)

U : tension aux bornes de la diode (V)

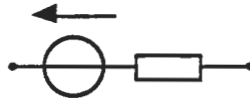
U_T : tension thermodynamique (V)

n : coefficient d'émission (≈ 1)

- Représentez cette caractéristique.

- Représentez la caractéristique simplifiée correspondant au modèle suivant:

Caractéristique directe:

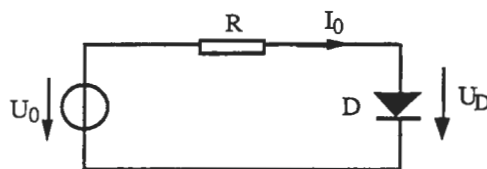


Caractéristique inverse:



Exercice IX.5.2

Soit le circuit à diode suivant :



$$I_s = 10^{-11} \text{ A}$$

$$n = 1.5$$

$$U_T = 26 \text{ mV}$$

On veut imposer un courant $I_0 = 1 \text{ mA}$ à partir d'une source $U_0 = 2 \text{ V}$.

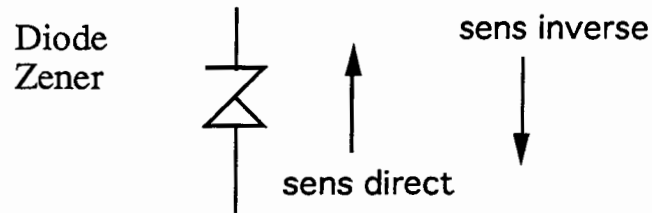
- En utilisant le modèle exponentiel de la diode, calculez

- la chute de tension aux bornes de la diode
- la résistance R nécessaire pour imposer le courant I_0
- la résistance dynamique de la diode au point de fonctionnement

- En utilisant le modèle simplifié de la diode ($U_D = U_j = 0.7 \text{ V}$), calculez le courant I_0 en prenant la même résistance que celle trouvée précédemment.

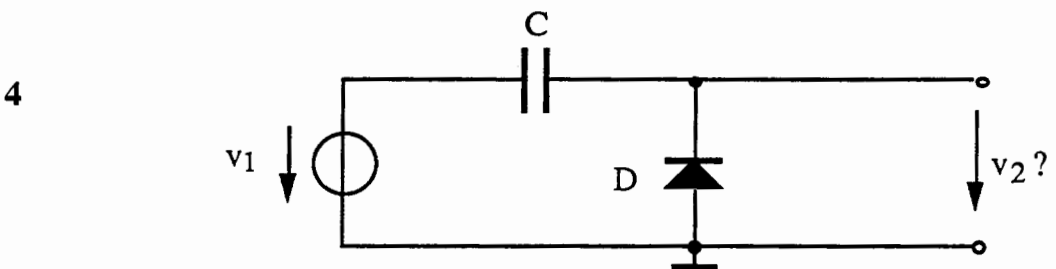
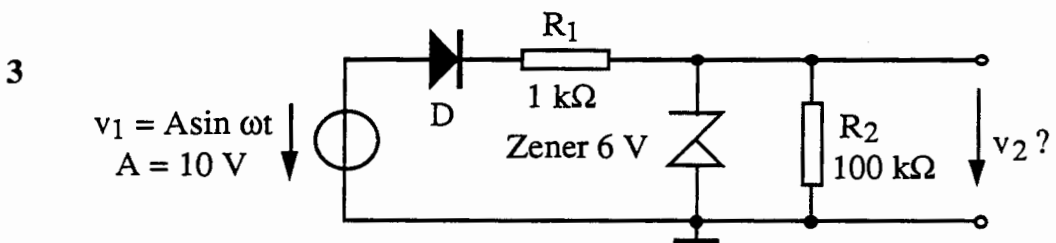
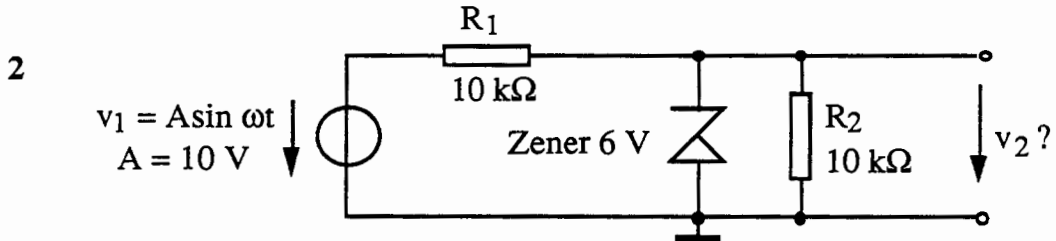
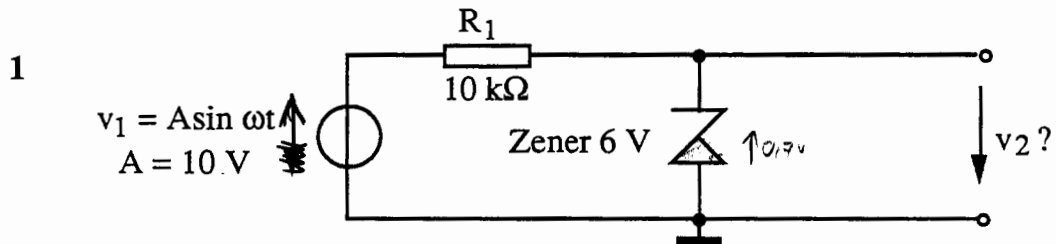
Exercice IX.5.3

La diode Zener présente un comportement similaire à la diode normale en sens direct. Par contre en sens inverse le courant ne passe pratiquement pas jusqu'à une tension dite "Zener", puis à partir de cette valeur de tension, le composant présente une résistance dynamique pratiquement nulle.



- Représentez ce comportement sur un graphique courant-tension.

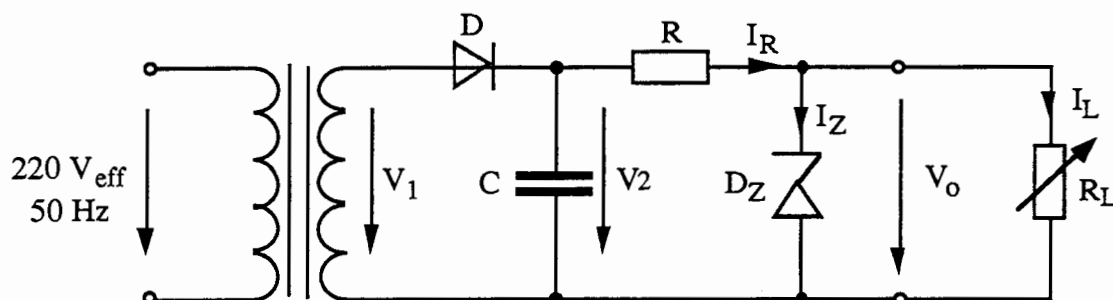
En utilisant le modèle simplifié des diodes et des diodes Zener (chute de tension constante de $U_j = 0.7\text{ V}$ dans le sens direct et, pour les diodes Zener, chute de tension constante U_Z dans le sens inverse), étudiez le comportement des circuits suivants en traçant un diagramme de la tension de sortie en fonction du temps.



v_1 : signal triangulaire symétrique $\pm 5\text{ V}$

Exercice IX.5.4

Circuit d'alimentation: le tension 220 V du réseau alimente un transformateur assurant une conversion de niveau. La diode D supprime l'alternance négative et le condensateur C, avec la charge qu'il "voit" ont un effet de filtrage. La diode Zener DZ assure, dans certaines limites, une stabilisation de la tension de sortie V_O .

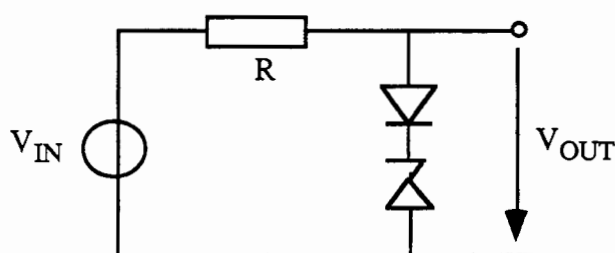


$$V_{1\text{eff}} = 12 \text{ V}, U_Z = 10 \text{ V}, I_{Z\text{min}} = 5 \text{ mA}, I_L = 0 \text{ à } 50 \text{ mA}.$$

- Dessinez l'allure de V_1 , V_2 et V_O indiqués dans la figure, en supposant que le courant I_Z ne s'annule jamais et que les diodes D et DZ ont une résistance différentielle nulle.
- En admettant que V_2 ne descend pas en dessous de 14 V, calculez R pour que le courant I_Z ne descende jamais au dessous du minimum spécifié.
- Calculez la capacité de filtrage pour assurer que la tension V_2 ne descend pas au dessous de 14 V.
- Déterminez les conditions de charge qui entraînent un courant I_Z maximum. Calculez $I_{Z\text{max}}$ et en déduire la puissance moyenne maximum dissipée dans la diode Zener.

Exercice IX.5.5

On propose le montage suivant:

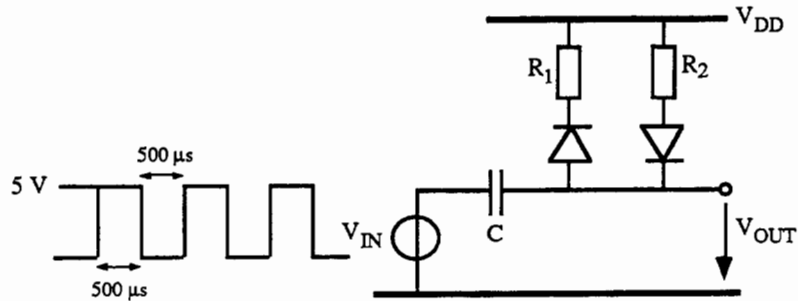


$$V_{\text{IN}} = 7 \sin(\omega t) \quad U_j = 0.7 \text{ V} \text{ et } V_Z = 4.3 \text{ V}$$

Tracez sur un même graphique V_{IN} et V_{OUT} en fonction du temps.

Exercice IX.5.6

On propose le montage suivant:

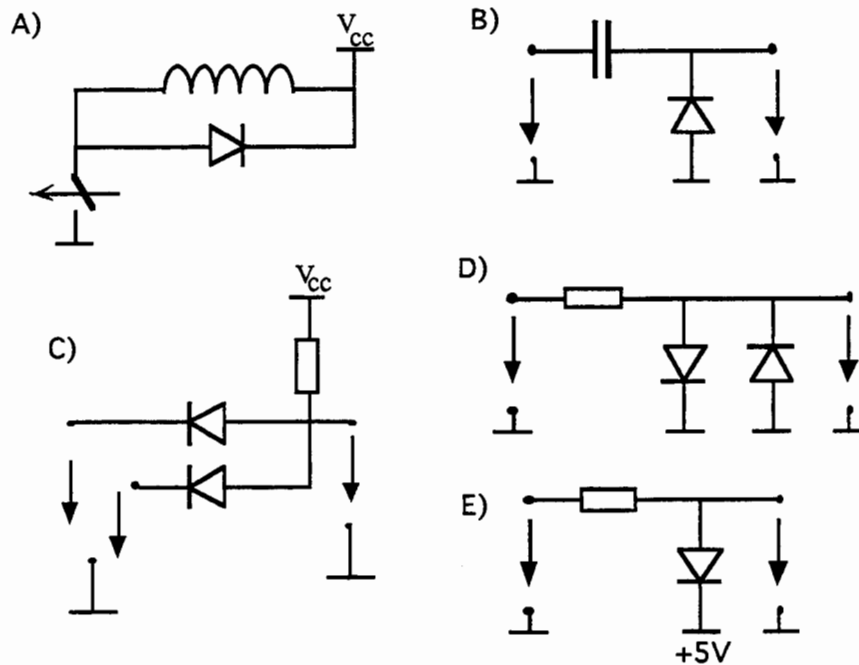


On donne: $R_1 = 1 \text{ K}\Omega$, $R_2 = 10 \text{ K}\Omega$, $C = 1 \mu\text{F}$ et $U_j = 0.7 \text{ V}$.
 V_{in} est un signal carré à 1 KHz.

Tracez sur un même graphe V_{IN} et V_{OUT} en fonction du temps.

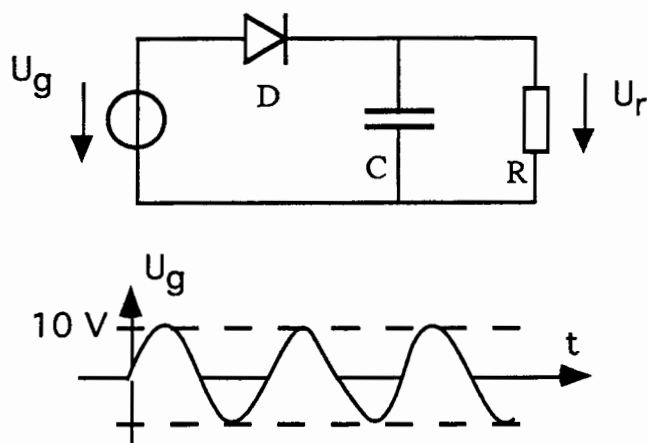
Exercice IX.5.7

- Décrivez le fonctionnement des circuits à diodes suivants:

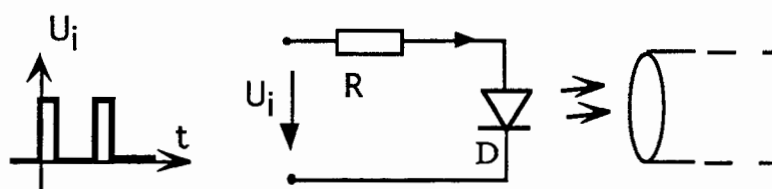


Exercice IX.5.8

- Décrivez et calculez le fonctionnement du circuit suivant:

**Exercice IX.5.9**

Une diode électroluminescente (LED) envoie des signaux numériques dans un canal optique, et est branchée de la sorte:



$$R = 1.2 \text{ Kohm}$$

La tension d'entrée a, en moyenne, les caractéristiques suivantes:

$$\text{Période : } T = 100 \text{ ms}$$

$$\text{Durée d'impulsion : } t = 10 \text{ ms}$$

$$\text{Amplitude : } U_p = 5 \text{ V}$$

- Représentez le fonctionnement du système sur un graphique courant-tension.
- Calculez les puissances en jeu, en supposant une émission permanente.

Leçon X: LE TRANSISTOR BIPOLAIRE, MONTAGES EN COURANT CONTINU.

Dans cette partie comme dans la précédente consacrée aux semiconducteurs et aux diodes, il est présenté une introduction au fonctionnement du transistor bipolaire. Le modèle de Ebers et Moll permet de comprendre le fonctionnement de ce composant et nous l'utiliserons en exercices et en laboratoire dans le mode continu.

PLAN DE LA LEÇON X:

- X.1. Généralités
 - X.2. Modes de fonctionnement du transistor
 - X.3. Modèle de Ebers et Moll
 - X.4. Cas de fonctionnement du transistor
 - X.5. Effet Early
 - X.6. Le transistor en régime d'accroissements
 - X.7 Exercices
-

TRANSISTOR BIPOLAIRE

BJT TRANSISTOR BIPOLAIRE

1 GÉNÉRALITÉS

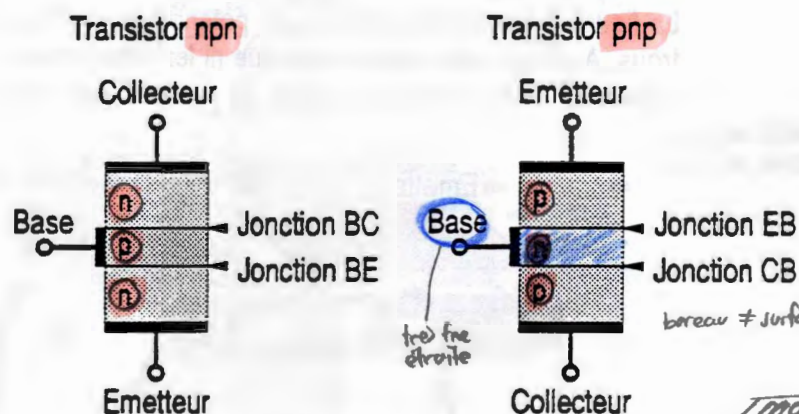
1.1 Introduction

Le transistor bipolaire est l'un des dispositifs à semiconducteur les plus utilisés à l'heure actuelle dans les rôles **d'amplificateur** et **d'interrupteur**. C'est un élément composé de deux jonctions pn; aussi son étude nécessite-t-elle la connaissance préalable du chapitre SPN traitant de la jonction.

1.2 Définitions

Le **transistor bipolaire** (**Bipolar Junction Transistor**) est un dispositif à semiconducteur présentant trois couches à dopages alternés npn ou pnp (voir fig. 1).

MOS : Métal - oxyde - silicium
 Surface Gate ⊕ Drain
 la jonction fait perdre une certaine tension, p. ex. 0,7 V.
 crée un canal sans aucune charge ⊕ mobile ⇒ permet de faire mieux circuler les électrons entre N+ et N+ ⇒ binaire: oui: e- circulent, non: e- circulent pas.
 fonctionne comme une capacité
 impose un levier ⊕ à la grille ⇒ repousse les éléments ⊕ vers la base.



MOS ⇒ consume beaucoup (mais très délectant)
 MOS: op. logique
 Bipolaire: analogique

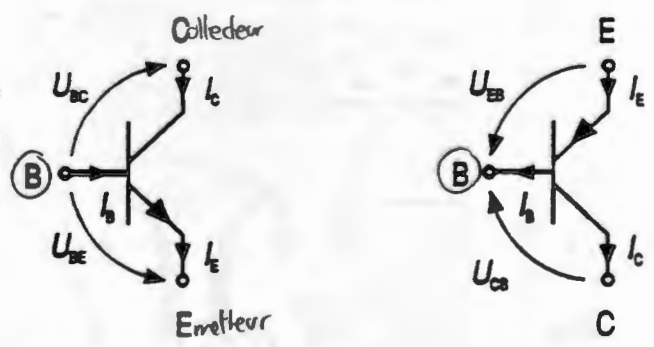


Figure 1: structures et symboles des **transistors bipolaires**

La **couche médiane** est appelée **base**. Leur **géométrie** et leur **nombre volumique en impuretés** distinguent les deux couches externes: **émetteur** et **collecteur**. Par extension, on appelle également base, émetteur et collecteur les trois électrodes qui donnent accès aux trois couches correspondantes.

TRANSISTOR BIPOLAIRE

Les deux jonctions qui apparaissent dans le transistor sont désignées par le nom des deux régions entre lesquelles elles assurent la transition; on trouve, par conséquent, la jonction base-émetteur (BE) également dénommée *jonction de commande* et la jonction base-collecteur (BC). Dans les symboles de la figure 1, la flèche désigne la jonction de commande.

1.3 *Commentaire*

Dans les paragraphes et sections qui suivent, on étudie le comportement du transistor **npn** laissant au lecteur le soin d'élargir ses connaissances au cas du transistor pnp.

1.4 *Hypothèse*

Le principe de superposition s'applique aux charges injectées par la jonction BE et aux charges injectées par la jonction BC. On peut donc étudier séparément l'effet de chaque jonction.

1.5 *Description: transistor au repos*

La figure 2 montre les barrières de potentiel énergétique pour les électrons et pour les trous. Au repos, elles sont telles que ni les électrons de l'émetteur, ni les électrons du collecteur, ni les trous de la base ne peuvent les franchir.

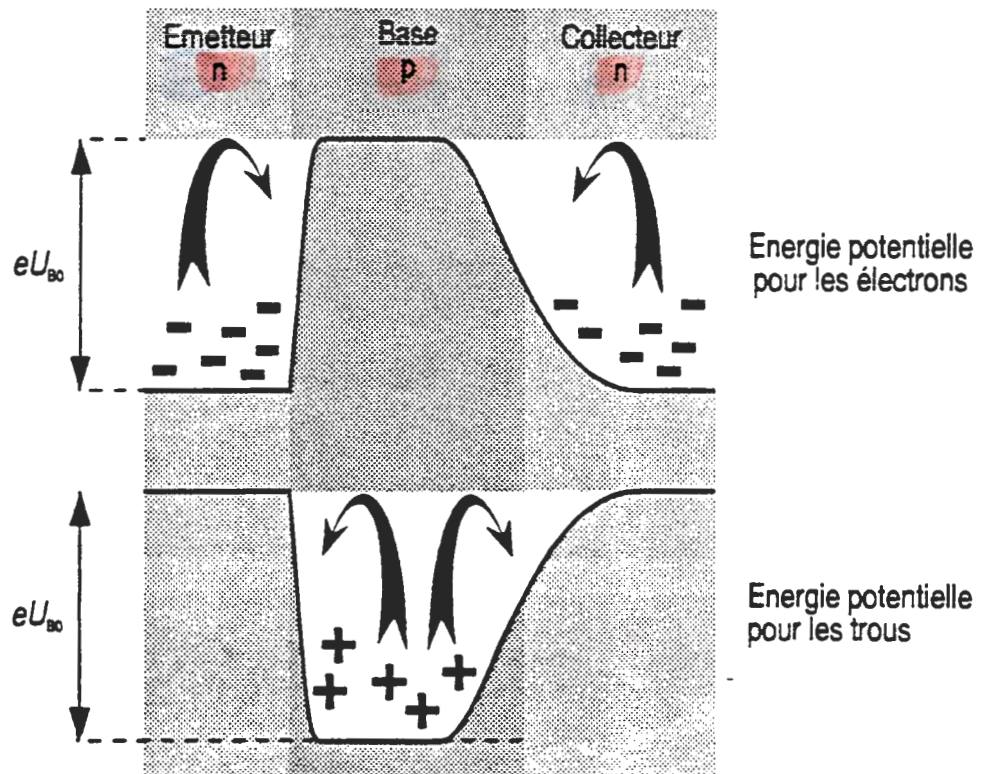


Figure 2: transistor au repos

TRANSISTOR BIPOLAIRE

2 MODES DE FONCTIONNEMENT DU TRANSISTOR

2.1 Description: mode F

Le mode F (Forward: progressif) est un mode particulier de fonctionnement du transistor dans lequel la tension de la jonction BC est maintenue à zéro. A la figure 3 on a représenté les barrières de potentiel pour les électrons et les trous dans le transistor en mode F. Dans le cas d'une polarisation inverse de la jonction BE, ni les électrons de l'émetteur, ni les trous de la base ne peuvent franchir la barrière de potentiel existant entre base et émetteur. Aucun courant ne circule dans le transistor.

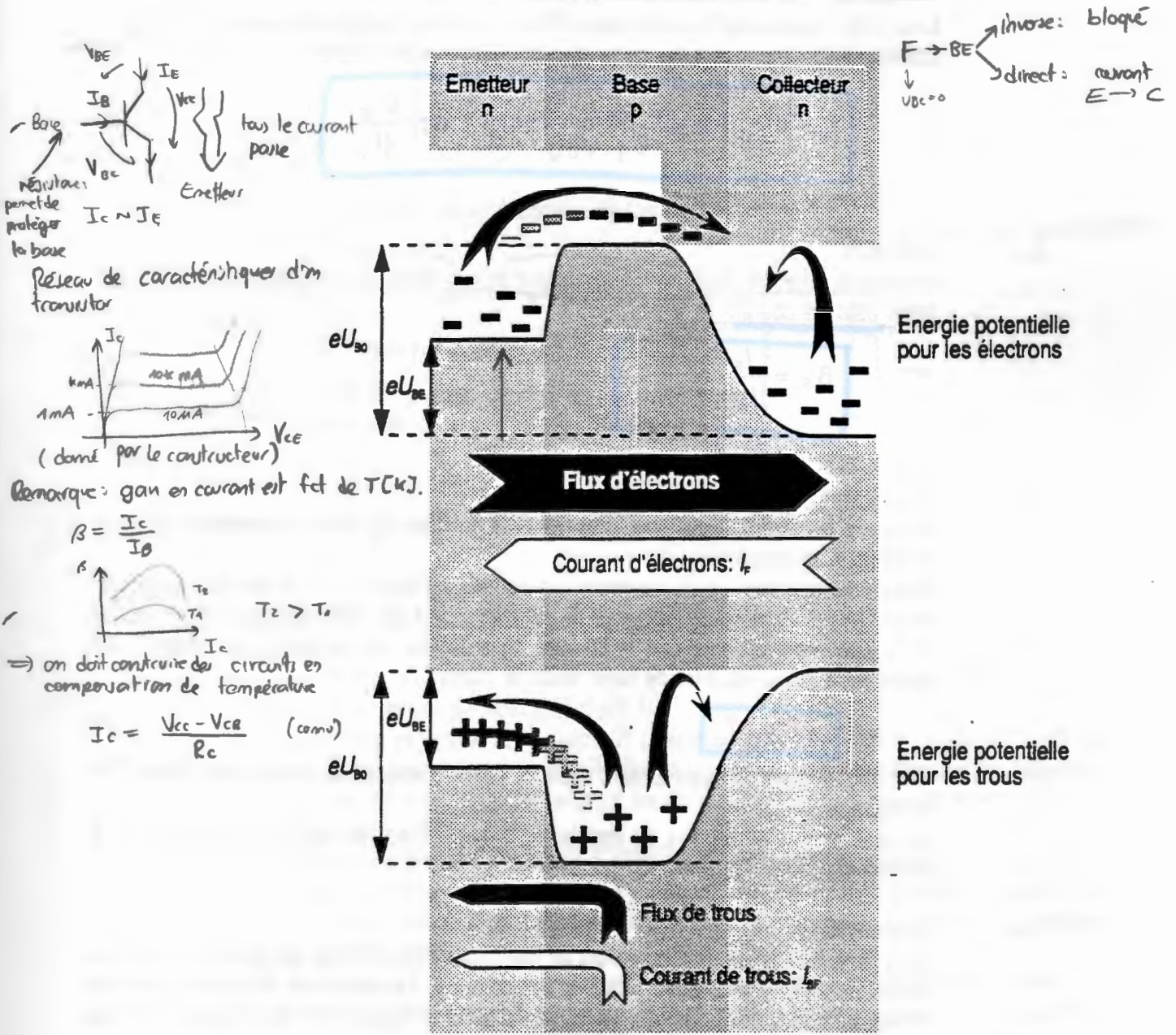


Figure 3: fonctionnement du transistor en mode F

TRANSISTOR BIPOLAIRE

Si la jonction BE est polarisée en sens direct, la barrière de potentiel de la jonction BE est diminuée. Les électrons de l'émetteur diffusent dans la base; comme celle-ci est courte, ces électrons sont rapidement happés par le puits de potentiel que représente le collecteur. Le flux d'électrons allant de l'émetteur au collecteur en transitant par la base se traduit par un courant I_F , qui n'est rien d'autre que le courant de la jonction BE et qui répond à l'expression:

F vect de ici
mode progressif

$$I_F = I_s \left(\exp \frac{U_{BE}}{U_T} - 1 \right) \cong I_s \cdot \exp \frac{U_{BE}}{U_T} \quad (1)$$

$$I_F = I_{Ec}$$

Les trous injectés de la base dans l'émetteur sont responsables du courant I_{BF} et obéissent également à la loi de la jonction. On peut ainsi écrire:

$$I_{BF} = I_{sF} \left(\exp \frac{U_{BE}}{U_T} - 1 \right) \cong I_{sF} \cdot \exp \frac{U_{BE}}{U_T} \quad (2)$$

2.2 Définition

Le rapport β_F entre le courant de collecteur et le courant de base est constant; on l'appelle gain de courant en mode F:

$$\beta_F = \frac{I_F}{I_{BF}} = \frac{I_s}{I_{sF}}$$

I_s : courant inverse de sat.

I_{BF} : courant de base (courant injecté)
 I_F : courant collecteur. (courant obtenu)

(3)

2.3 Propriétés

× Les deux courants, I_F et I_{BF} qui traversent la jonction BE sont indépendants du comportement de la jonction BC.

× Dans une modélisation du transistor, on traduit l'équation (1) en disant que le courant de collecteur du transistor, en mode F, est commandé par la tension base-émetteur. On peut également affirmer que le courant de collecteur du transistor, en mode F, est commandé par le courant de base selon la relation:

$$I_F = \beta_F \cdot I_{BF} \quad (4)$$

Ces deux propriétés apparaissent dans les caractéristiques de transfert en mode F de la figure 4.

La caractéristique d'entrée du transistor en mode F est donnée par la relation (2) et représentée à la figure 5

2.4 Commentaires

Lors de la fabrication des transistors on met tout en oeuvre pour que le courant de base en mode F soit le plus faible possible. En particulier, l'émetteur est dopé beaucoup plus fortement que la base pour que les électrons injectés dans la base soient plus nombreux que les trous injectés dans l'émetteur. D'autre part, on réalise des bases aussi étroites

TRANSISTOR BIPOLAIRE

que possible de telle sorte que, pendant leur transit, les électrons n'aient que peu de chances de s'y recombiner. Le gain de courant en mode F atteint des valeurs se situant entre 100 et 1000 pour des transistors de petite puissance (< 1W).

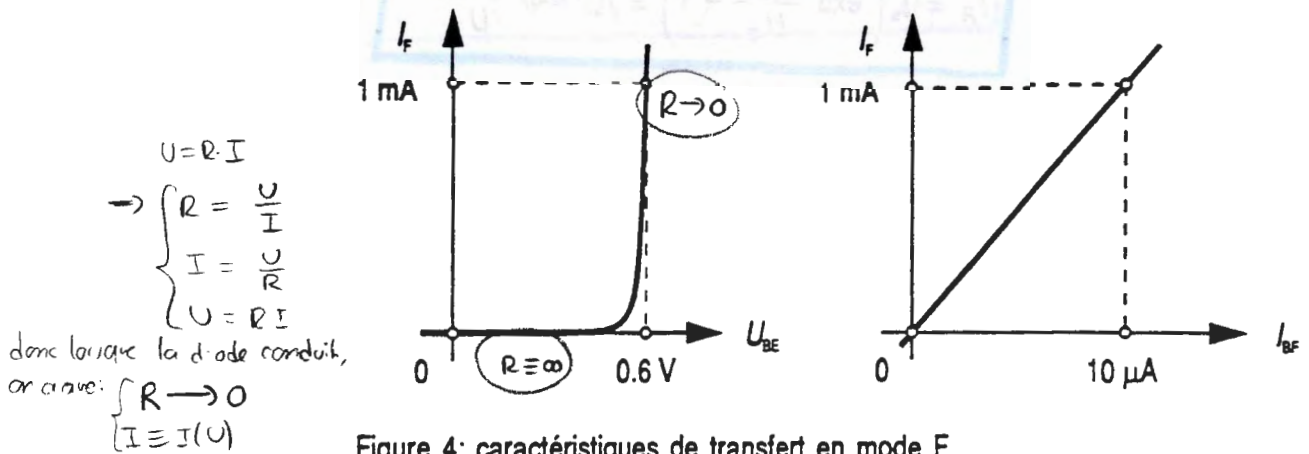


Figure 4: caractéristiques de transfert en mode F

la coil y a la fleche, on a l'émetteur

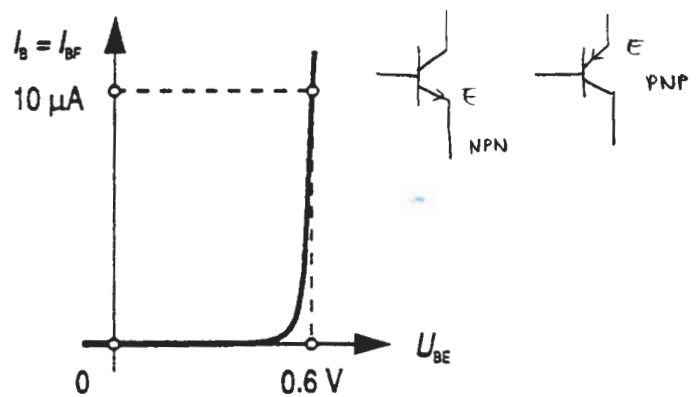


Figure 5: entrée en mode F

nomenclature: $\begin{cases} n \text{ carriers} : \text{bcp } e^- \text{ libres} \\ p \text{ carriers} : \text{peu } e^- \text{ libres} \\ E \text{ base} \end{cases}$

bipolaire = pas symétrique (e^-)
 MOS = symétrique

$\downarrow U \phi \Rightarrow$ courant sort \uparrow

$R \rightarrow BC$ $\begin{cases} \nearrow \text{inverse: bloqué} \\ \searrow \text{courant: C} \rightarrow \text{E} \end{cases}$
 $\downarrow U_{BE} = 0$

2.5 Description: mode de fonctionnement R

Tout comme le mode F, le mode R (Reverse: inverse) désigne un fonctionnement particulier du transistor. En mode R, c'est la tension de la jonction BE que l'on maintient nulle. Les barrières de potentiel pour les électrons et pour les trous prennent alors les allures décrites à la figure 6.

Les phénomènes sont identiques à ceux qui se produisent en mode F: en polarisation inverse de la jonction BC, aucun courant ne circule alors qu'en polarisation directe, les électrons du collecteur sont injectés dans la base, la traversent, et les trous de la base sont injectés dans le collecteur.

Si la jonction BC est polarisée en sens direct, sa barrière de potentiel est diminuée. Les électrons du collecteur diffusent dans la base et sont happés par le puits de potentiel que représente alors l'émetteur. Le flux d'électrons allant du collecteur à l'émetteur en

TRANSISTOR BIPOLAIRE

transitant par la base se traduit par un courant I_R , qui n'est rien d'autre que le courant d'électrons de la jonction BC et qui répond à l'expression:

$$I_R = I_s \left(\exp \frac{U_{BC}}{U_T} - 1 \right) \approx I_s \cdot \exp \frac{U_{BC}}{U_T} \quad (5)$$

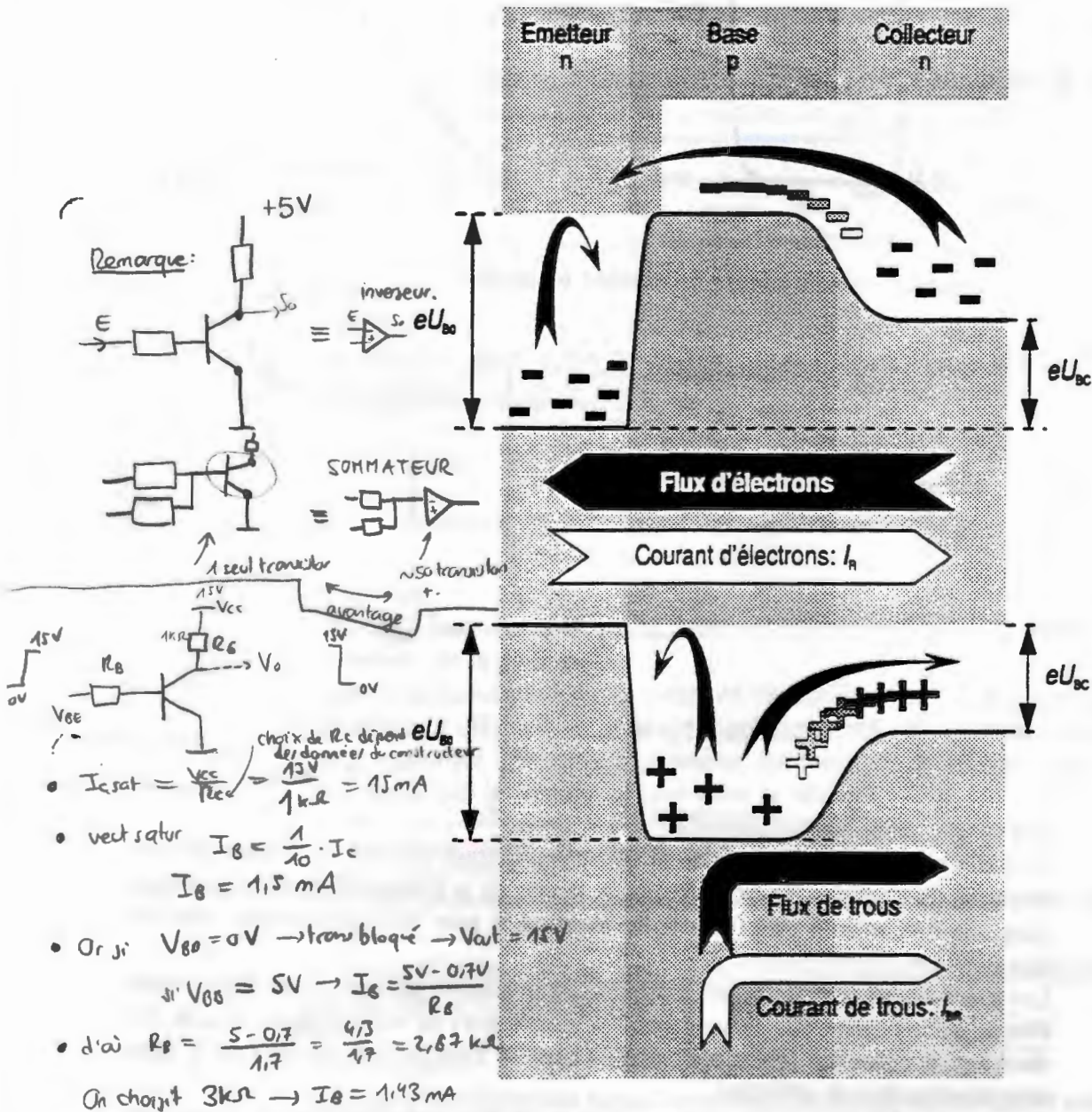


Figure 6: fonctionnement du transistor en mode R

Non inverseur: 2 tel schémas

TRANSISTOR BIPOLAIRE

Les trous injectés de la base dans le collecteur sont responsables du courant I_{BR} et obéissent également à la loi de la jonction. On peut ainsi écrire:

$$I_{BR} = I_{sR} \left(\exp \frac{U_{BC}}{U_T} - 1 \right) \approx I_{sR} \cdot \exp \frac{U_{BC}}{U_T} \quad (6)$$

2.6

Définition

Le rapport β_R entre le courant de collecteur et le courant de base est constant; on l'appelle gain de courant en mode R.

$$\beta_R = \frac{I_R}{I_{BR}} = \frac{I_s}{I_{sR}} \quad (7)$$

2.7

Propriétés

Les deux courants, I_R et I_{BR} qui traversent la jonction BC sont indépendants du comportement de la jonction BE.

Dans une modélisation du transistor, on traduit l'équation (5) en disant que le courant d'émetteur du transistor, en mode R, est commandé par la tension base-collecteur. On peut également affirmer que le courant d'émetteur du transistor, en mode R, est commandé par le courant de base selon la relation:

$$I_R = \beta_R \cdot I_{BR} \quad (8)$$

Ces deux propriétés apparaissent dans les caractéristiques de transfert en mode R de la figure 7.

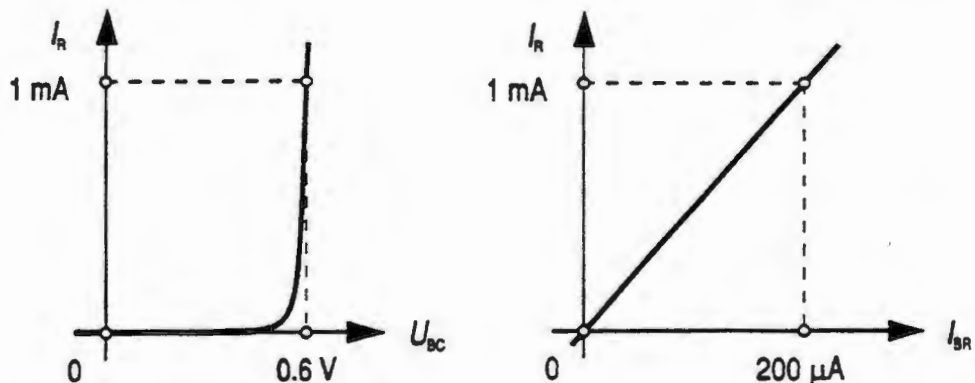


Figure 7: caractéristiques de transfert en mode R

La caractéristique d'entrée du transistor en mode R est donnée par la relation (6) et représentée à la figure 8.

TRANSISTOR BIPOLAIRE

2.8

Commentaire

Il est intéressant de remarquer que les caractéristiques de transfert qui expriment la relation entre le courant commandé et la tension de commande [relations (1) et (5)] ont la même forme. Ceci s'explique par le fait que, pour une tension donnée, l'injection d'électrons dans la base ne dépend que de la concentration des impuretés dans la base. Le gain de courant inverse β_R , du fait de la technologie, est plus petit que le gain de courant β_F ; dans un transistor discret de petite puissance il peut être compris entre 1 et 10 alors qu'il devient beaucoup plus petit que l'unité dans les transistors intégrés.

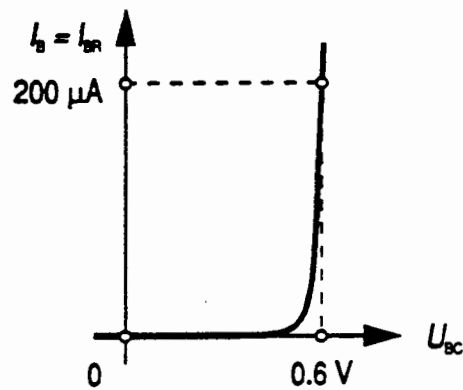


Figure 8: entrée en mode R

TRANSISTOR BIPOLAIRE

3 MODÈLE DE EBERS ET MOLL

3.1 Description

Le modèle de Ebers et Moll (modèle EM) du transistor résulte de la superposition des modes F et R, superposition autorisée en vertu de l'hypothèse 1.4.

3.2 Mode F

Le courant I_F dépend uniquement de U_{BE} (ou de I_{BF}). Le couple de grandeurs (U_{BE}, I_{BF}) , caractéristique de la diode D_E , rend compte du comportement de la jonction BE (fig. 9).

3.3 Mode R

Le courant I_R dépend uniquement de U_{BC} (ou de I_{BR}). Le couple de grandeurs (U_{BC}, I_{BR}) , caractéristique de la diode D_C , rend compte du comportement de la jonction BC (fig. 10).

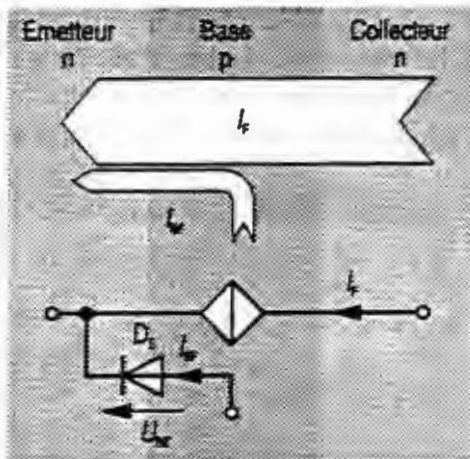


Figure 9: mode F

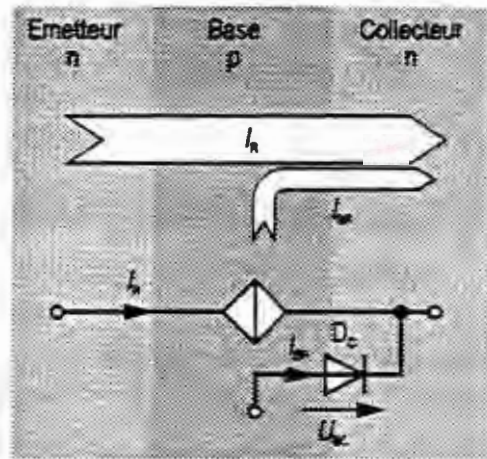


Figure 10: mode R

3.4 Modèle de Ebers et Moll

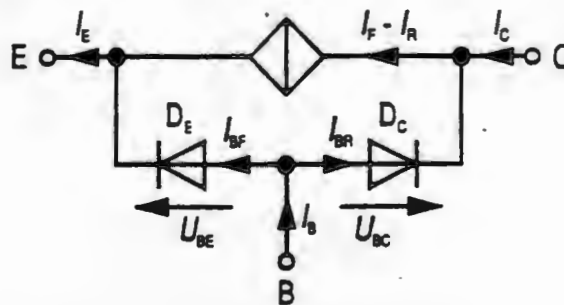


Figure 11: modèle de Ebers et Moll

TRANSISTOR BIPOLAIRE

Comme le modèle de Ebers et Moll résulte de la superposition des modes F et R, le transistor peut être représenté par une source de courant, placée entre collecteur et émetteur, dont une composante est commandée par la jonction BE et l'autre par la jonction BC; le comportement des deux jonctions est simulé par les diodes D_E et D_C placées entre base et émetteur, respectivement entre base et collecteur (voir fig. 11). Le modèle de Ebers et Moll est entièrement décrit par trois paramètres qui sont: le courant inverse de saturation du transistor, I_s , le gain de courant en mode F, β_F et le gain de courant en mode R, β_R .

TRANSISTOR BIPOLAIRE

4 CAS DE FONCTIONNEMENT DU TRANSISTOR

4.1 Introduction

Les divers cas de fonctionnement du transistor dépendent uniquement des valeurs des tensions aux jonctions (BE) et (BC). Si l'on considère l'état passant et l'état bloqué de chaque jonction, on dénombre quatre cas de fonctionnement possibles (fig. 12). La présente section décrit chacun des cas après en avoir donné une définition. Cette définition sert également de critère pour définir le fonctionnement du transistor.

4.2 Définitions

Le transistor est **bloqué** lorsque ses deux jonctions sont en polarisation inverse (voir fig. 12).

Le transistor est en **fonctionnement normal direct** lorsque la jonction de commande BE est en polarisation directe et que la jonction BC est en polarisation inverse (voir fig. 12).

Le transistor est en **fonctionnement normal inverse** lorsque la jonction de commande BE est en polarisation inverse et que la jonction BC est en polarisation directe (voir fig. 12).

Le transistor est **saturé** lorsque ses deux jonctions sont en polarisation directe (voir fig. 12).

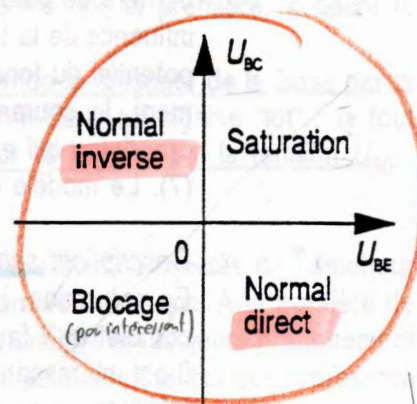


Figure 12: fonctionnements

4.3 Description: le blocage

Aucun courant ne circule dans un transistor bloqué puisque ses deux jonctions sont polarisées en sens inverse. Le transistor se comporte comme un circuit ouvert de telle sorte que le collecteur est isolé de l'émetteur.

4.4 Description: le fonctionnement normal direct

Les barrières de potentiel du transistor en fonctionnement normal direct sont représentées à la figure 12. La jonction BE détermine le débit des électrons. La jonction BC, polarisée en sens inverse, n'influence d'aucune manière le débit des électrons. On peut donc dire que, dans ce cas de fonctionnement, le courant de collecteur est indépendant de la tension $U_{BC} (\leq 0)$ et que les seules grandeurs à prendre en considération sont celles qui apparaissent dans les expressions (1), (2) et (3). Le modèle du transistor se ramène au modèle EM en mode F (fig. 9).

4.5 Commentaire

Comme le gain de courant β_F est très grand, en général, il est loisible de négliger I_B vis-à-vis de I_C ou de I_E en fonctionnement normal direct. On admet l'égalité entre le courant de collecteur et le courant d'émetteur. (tant qu'il y a)

TRANSISTOR BIPOLAIRE

$$I_E = I_C + I_B = I_C \left(1 + \frac{1}{\beta_F} \right) \cong I_C \quad \text{avec } \beta_F \gg 1$$

$$I_E = \frac{\beta_F + 1}{\beta_F} I_C \quad \text{et} \quad I_C = \frac{\beta_F}{\beta_F + 1} I_E \approx I_E \quad (9)$$

4.6 Description: fonctionnement normal inverse

La jonction BC détermine l'injection des électrons dans la base puis dans l'émetteur, indépendamment de la jonction BE. Les électrons de l'émetteur ne peuvent franchir la barrière de potentiel qui a pour siège la jonction BE; il n'y aura par conséquent aucune influence de la tension U_{BE} sur le débit des électrons. On a représenté les barrières de potentiel du fonctionnement normal inverse à la figure 12. Dans ce cas de fonctionnement, le courant d'émetteur est indépendant de la tension $U_{BE} (\leq 0)$ et les seules grandeurs qui entrent en jeu sont celles qui apparaissent dans les relations (5), (6) et (7). Le modèle du transistor se ramène au modèle EM en mode R (fig. 10)

4.7 Description: saturation

En saturation, les deux jonctions du transistor conduisent: c'est donc le modèle EM complet qu'il faut utiliser pour décrire ce cas de fonctionnement. Il est intéressant de remarquer que le courant qui circule du collecteur à l'émetteur est inférieur au courant qui circulerait si seule l'une ou l'autre jonction était polarisée en sens direct sous même tension.

4.8 Exemple ^{superposition}

Le modèle EM permet de représenter les caractéristiques de sortie $I_C = f(U_{CE})$ d'un transistor lorsqu'on prend comme paramètre la tension U_{BE} . Pour U_{BE} constant, le courant I_F est constant. Dès que $U_{CE} < U_{BE}$, la jonction BC se polarise en sens direct, le transistor entre en saturation et un courant $I_R (1 + 1/\beta_R)$ se soustrait au courant de collecteur I_F .

A la figure 13, on a représenté la caractéristique de transfert $I_F = f(U_{BE})$ et des caractéristiques de sortie pour différentes valeurs de U_{BE} . En fonctionnement normal direct, on remarque le comportement du transistor en source de courant commandée

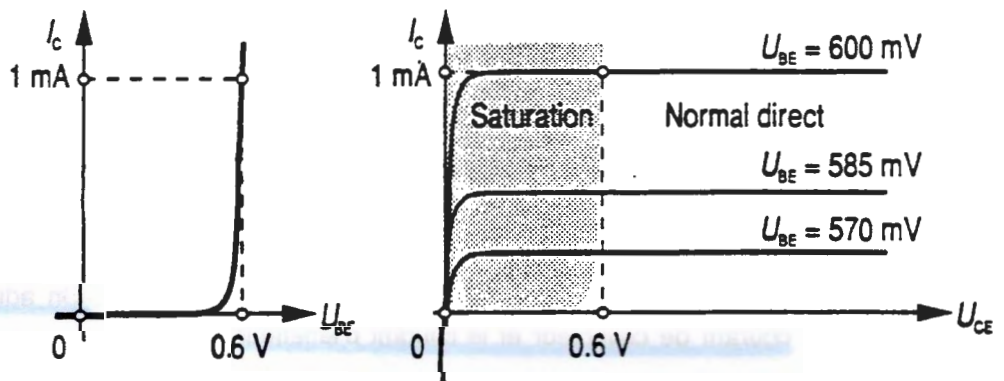


Figure 13: caractéristique de transfert et caractéristique de sortie

TRANSISTOR BIPOLAIRE

5 EFFET EARLY (*résistance de rétrécissement*)

5.1 Introduction

La longueur de la base est déterminée par les frontières des zones de déplétion des jonctions BE et BC. La largeur de ces zones de déplétion dépend de la tension appliquée à la jonction. Il en résulte que la longueur de la base dépend de la tension appliquée aux deux jonctions adjacentes. Cet effet de modulation de la longueur de la base par les tensions U_{BE} et U_{BC} a une influence sur le courant de collecteur et est connu sous le nom d'*effet Early* (Early est la personne qui, la première, a décrit le phénomène).

Plus précisément, on appelle *effet Early* la modulation de la longueur de la base par la tension U_{BC} et *effet Late* (Late: "tard", par opposition à Early qui signifie "tôt"... le tout avec un brin d'humour!) la modulation de la longueur de la base par la tension U_{BE} .

5.2 Assertion

On peut démontrer que le courant de diffusion dû aux électrons injectés de l'émetteur dans la base est proportionnel au gradient de leur nombre volumique. A la frontière de la zone de déplétion de la jonction BC, ce nombre volumique est toujours pratiquement nul étant donné que les électrons y sont happés par le puits de potentiel que représente le collecteur (voir figure 14).

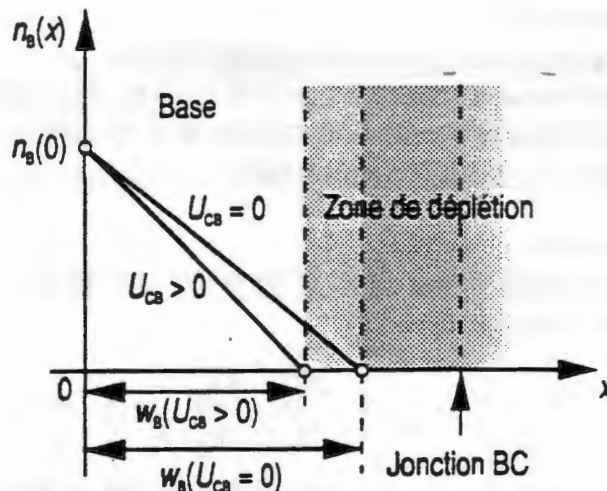


Figure 14: modulation de la largeur de la base

On constate, d'après la figure 14, qu'une augmentation de la tension U_{cb} rétrécit la base, augmentant ainsi le gradient du nombre volumique des électrons. Par conséquent, il en découlera une augmentation du courant de collecteur.

5.3 Propriété

La théorie et la pratique montrent que, dans un transistor en fonctionnement normal

TRANSISTOR BIPOLAIRE

- direct, les caractéristiques de sortie peuvent, en première approximation, être assimilées à des droites qui concourent toutes vers un même point $U_{CB} = -U_A$ situé sur l'axe des abscisses $I_C = 0$ (voir figure 15).

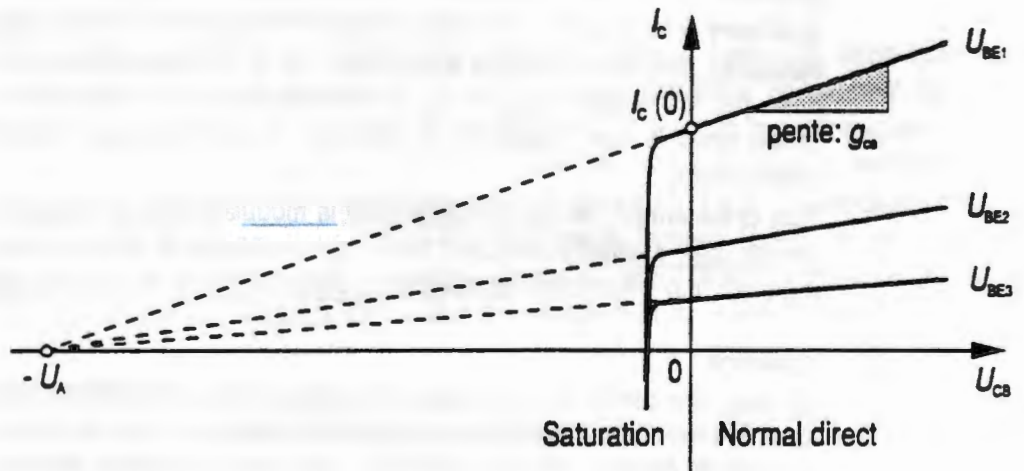


Figure 15: effet Early

5.4

Définitions

La tension U_A est appelée **tension Early**.

Le même raisonnement qui a été fait en mode normal direct peut être fait en mode normal inverse. On rend compte de la modulation de la longueur de la base par la tension U_B appelée **tension Late**.

5.5

Modèle

En mode normal direct et en tenant compte des effets Early et Late, le courant de collecteur peut s'écrire:

$$I_C = I_{s0} \left(1 - \frac{U_{BC}}{U_A} - \frac{U_{BE}}{U_B} \right) \cdot \exp \frac{U_{BE}}{U_T} \quad (10)$$

Tout se passe, en fait, comme si le courant inverse de saturation avait pour expression:

$$I_s = I_{s0} \left(1 - \frac{U_{BC}}{U_A} - \frac{U_{BE}}{U_B} \right) \quad (11)$$

I_{s0} : courant inverse de saturation au point de repos

Comment déterminer U_A , U_B ? (*)

TRANSISTOR BIPOLAIRE

6 LE TRANSISTOR EN RÉGIME D'ACCROISSEMENTS

6.1 Introduction

Dans la plupart de ses applications en électronique analogique, le transistor travaille en fonctionnement normal direct et en régime d'accroissements autour d'un point de repos. Le but de la présente section est de donner un modèle linéaire simplifié du transistor, à partir du modèle EM, pour résoudre les problèmes de petits accroissements.

6.2 Définition

Le point de repos est défini par l'ensemble des grandeurs électriques caractérisant le transistor en l'absence des signaux à amplifier. On affecte ces grandeurs de l'indice 0: I_{C0} , U_{BE0} , etc. Les accroissements sont les variations de ces grandeurs électriques par rapport au point de repos. On les désigne par la lettre Δ : ΔI_C , ΔU_{BE} , etc.

6.3 Assertion

Le travail en régime d'accroissements permet de linéariser les caractéristiques du transistor autour du point de repos: les accroissements sont assez petits pour que les caractéristiques puissent être assimilées à leur tangente au point de repos. On obtient ainsi des relations linéaires entre les accroissements et partant, un modèle simplifié du transistor.

6.4 Modèle

Soit un point de repos déterminé par le couple de grandeurs (I_{C0} , U_{BE0}). Le modèle du transistor en fonctionnement normal direct peut être linéarisé lorsqu'on considère des accroissements. En particulier la relation entre les accroissements de courant commandé et les accroissements de la tension de commande devient:

$$\Delta I_C = g_m \cdot \Delta U_{BE} \quad (12)$$

où

$$g_m = \left. \frac{dI_C}{dU_{BE}} \right|_{U_{BE0}} = \frac{I_s \exp \frac{U_{BE0}}{U_T}}{U_T} = \frac{I_{C0}}{U_T} \quad (13)$$

est la conductance de transfert du transistor.

On peut rappeler que la relation entre les accroissements du courant commandé et les accroissements du courant de commande reste linéaire:

$$\Delta I_C = \beta_F \cdot \Delta I_B \quad (14)$$

La conductance qui, dans le cas des accroissements, remplace la diode entre base et émetteur a pour expression:

$$g_{be} = \left. \frac{dI_B}{dU_{BE}} \right|_{U_{BE0}} = \frac{1}{\beta_F} \left. \frac{dI_C}{dU_{BE}} \right|_{U_{BE0}} = \frac{I_{C0}}{\beta_F} \quad (15)$$

Le modèle qui rend compte de ces différents points est représenté à la figure 14.

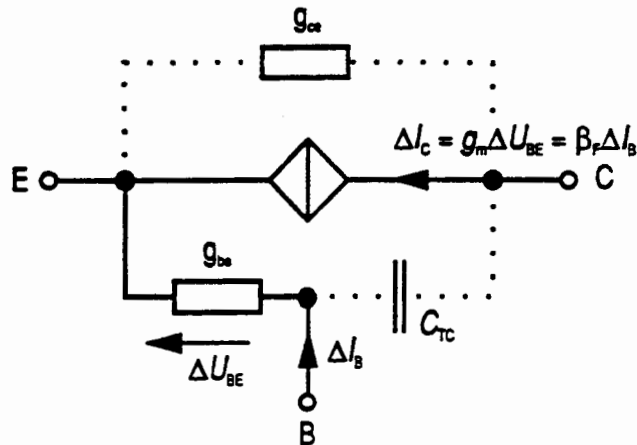


Figure 16: modèle pour accroissements

6.5 *Commentaire*

La conductance g_{oe} qui, à la figure 14, est en parallèle avec la source de courant rend compte de l'effet Early. Elle a pour expression:

$$g_{oe} = \left. \frac{dI_C}{dU_{CE}} \right|_{I_{C0}} \cong \left. \frac{dI_C}{dU_{CB}} \right|_{I_{C0}} \cong \frac{I_{C0}}{U_A + U_{CE0}} \quad (16)$$

La capacité C_{TC} est la capacité de transition de la jonction base-collecteur (voir SPN.4). Elle permet de rendre compte des effets dynamiques qui ont pour siège la jonction BC, polarisée en sens inverse.

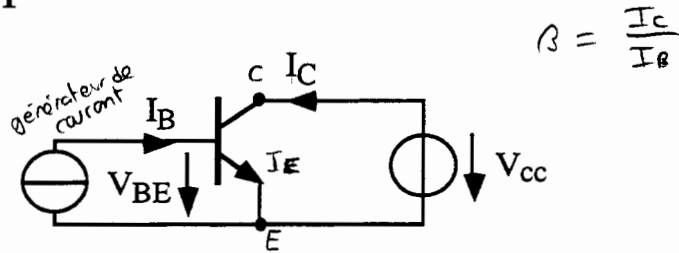
6.6 *Conclusions*

Les régimes de petits accroissements permettent de linéariser le modèle EM et conduisent à des calculs de circuits simplifiés. Il faut cependant être conscient du fait que, pour linéariser les caractéristiques, les accroissements de tension ΔU_{BE} doivent être très inférieurs à U_T , ce qui entraîne une validité du modèle pour des accroissements de la tension de commande de quelques mV seulement.

X.7 EXERCICES

Exercice X.7.1

a)



Une mesure sur un transistor bipolaire NPN, faite avec le circuit ci-dessus, a donné les résultats suivants:

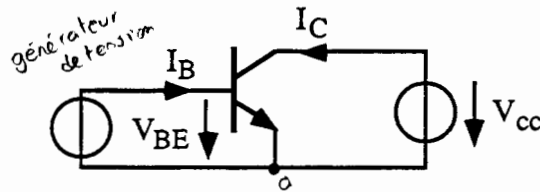
pour $V_{CC} = 3 \text{ V}$ et $I_B = 12 \mu\text{A} \Rightarrow I_C = 2 \text{ mA}$ et $V_{BE} = 0.675 \text{ V}$

Dans quel mode de fonctionnement se trouvait le transistor ?

Déterminer les paramètres β_S et β_F de ce transistor.

Quel courant de base faudrait-il imposer pour avoir un courant de collecteur de 10 mA ? Quelle serait alors la tension base-émetteur ? Dans ces conditions quelle est la variation relative du courant de collecteur si la source de courant de base varie de $\pm 2\%$?

b)



Avec le même transistor qu'au point a) mis dans le circuit de mesure ci-dessus, quelle tension base-émetteur faut-il imposer pour avoir le même courant de collecteur de 10 mA ? Quel est le courant de base correspondant ?

Dans ces conditions quelle est la variation relative du courant de collecteur si la source de tension V_{BE} varie de $\pm 2\%$?

Exercice X.7.2

Introduction à l'amplificateur . Soit le montage suivant:

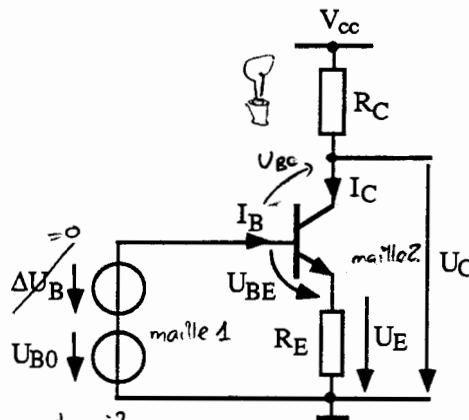


schéma permet de faire varier l'intensité du courant qui passe.

car $U_{BE} = -U_{EB}$

$$U_C = U_{CB} - U_{BE}$$

$$I_E = I_C + I_B = I_C \left(1 + \frac{1}{\beta_F} \right)$$

$$\Rightarrow I_C = \frac{\beta_F}{\beta_F + 1} \cdot I_E$$

$U_{B0} = 2.9 \text{ V}$ $U_j = 0.7 \text{ V}$ $R_C = 4.7 \text{ k}\Omega$ $R_E = 2.2 \text{ k}\Omega$
 $\beta = 200$ $V_{CC} = 15 \text{ V}$

c'est quoi?

Calculer le point de repos c.à.d. les courants I_{B0} , I_{E0} et I_{C0} , ainsi que les tensions U_{E0} et U_{C0} lorsque $\Delta U_B = 0$.

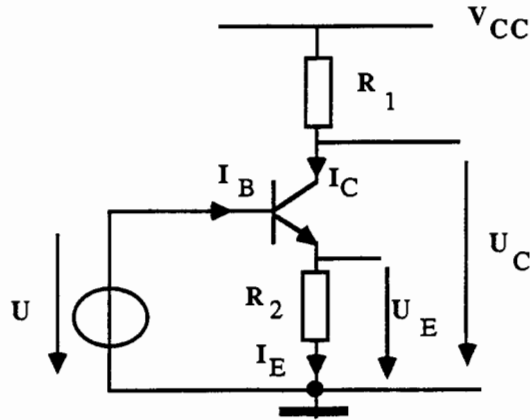
Quel est le mode de fonctionnement du transistor ?

Décrivez le fonctionnement du montage

Exercice X.7.3

Soit le montage à transistor bipolaire de la figure suivante. Sachant que $U_{BE} = U_j$, calculer les courants I_B , I_E et I_C , ainsi que les tensions U_E et U_C . Quelle est le mode de fonctionnement du transistor ?

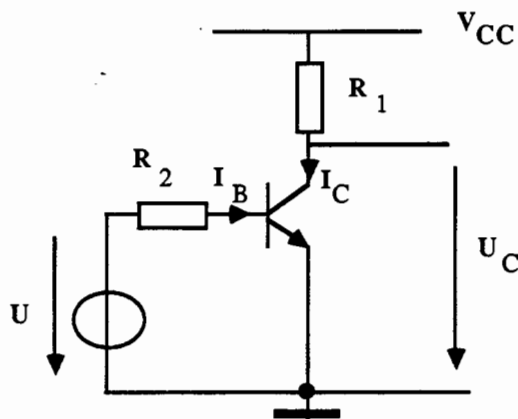
Valeurs numériques: $U = 3.4 \text{ V}$ $U_j = 0.7 \text{ V}$ $R_1 = 4.7 \text{ k}\Omega$ $R_2 = 2.7 \text{ k}\Omega$
 $\beta = 200$ $V_{CC} = 10 \text{ V}$



Exercice X.7.4

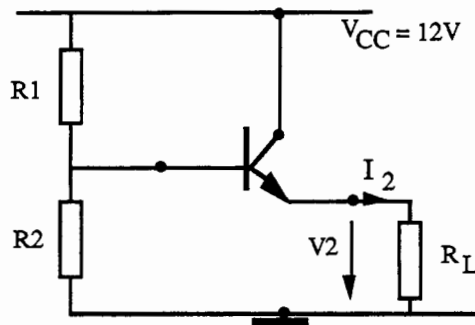
Soit le montage représenté à la figure suivante. Sachant que $U_{BE} = U_j$, calculer les courants I_B et I_C , ainsi que les tensions U_B et U_C .

Valeurs numériques: $U = 3.4 \text{ V}$ $U_j = 0.7 \text{ V}$ $R_1 = 4.7 \text{ k}\Omega$
 $R_2 = 2.7 \text{ k}\Omega$ $\beta = 200$ $V_{CC} = 10 \text{ V}$



Exercice X.7.5

On considère le montage suivant:



$$\beta = 100 \quad U_j = 0.7V \quad I_{2\max} = 100 \text{ mA}$$

Déterminer R_1 et R_2 pour que le montage fournisse une tension de sortie V_2 stabilisée à 6V.

Leçon XI: L'AMPLIFICATEUR A TRANSISTOR BIPOLAIRE

Dans cette leçon, on présente le formalisme des quadripôles sous trois formes: paramètres z (impédance), paramètres y (admittance), paramètres h (hybride). Ce dernier formalisme est un outil conceptuel de la théorie des circuits et systèmes linéaires, et permet de décrire et concevoir les amplificateurs.

On montre le principe de fonctionnement d'un amplificateur à transistors petit signaux, bien qu'en technologie, ces amplificateurs soient bien plus évolués. On termine avec les cas particuliers de ce formalisme: les amplificateurs idéaux où la sortie ne rétroagit pas sur l'entrée de manière parasitaire: les amplificateurs de tension, de courant, à transrésistance, à transconductance.

On trouvera une approche plus approfondie et orientée amplificateurs à transistors au chapitre 2 de "Électronique", [5].

PLAN DE LA LEÇON XI:

XI.1. Dipôles et dualité Norton-Thévenin

XI.2. Notions générales sur les quadripôles

XI.3. Gains et impédances d'un quadripôle chargé

XI.4. Formalisme quadripolaire et amplificateur à transistor

XI.5. Amplificateurs idéaux

XI.6. Exercices

XI.1 DIPÔLES ET DUALITÉ NORTON-THÉVENIN

Les dipôles sont, nous l'avons déjà mentionné, des éléments conceptuels, pouvant constituer des modèles plus ou moins adéquats pour les systèmes électroniques.

XI.1.1 Dipôle passif

- Le dipôle est dit *passif* s'il ne contient pas de source interne.
- Dans le cas linéaire, une *impédance* est apte à représenter sa caractéristique courant-tension.
- On définit aussi son *admittance*, comme l'inverse de l'impédance:

Z : impédance du dipôle (Ω)

Relation courant – tension : $U = Z \cdot I$

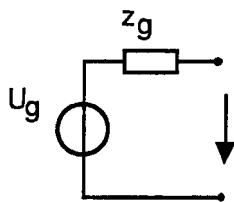
Y : admittance du dipôle (Ω^{-1})

$Y = (Z)^{-1}$

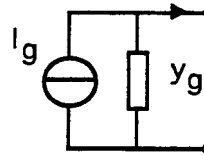
Relation courant – tension : $I = Y \cdot U$

XI.1.2 Dipôle actif

Le dipôle est dit *actif* s'il contient une ou des sources internes. Dans ce cas, nous avons déjà évoqué les représentations de Thévenin et de Norton:



Représentation de Thévenin



Représentation de Norton

XI.1.3 Dualité Norton-Thévenin

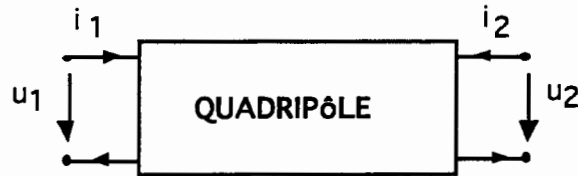
Nous avons précédemment laissé en exercice la découverte de la

dualité Norton-Thévenin:

$$I_g = \frac{U_g}{Z_g} \qquad Y_g = \frac{1}{Z_g}$$

XI.2 NOTIONS GÉNÉRALES SUR LES QUADRIPÔLES

* Conformément à la technique de Kirchhoff, un quadripôle constitue une boîte noire, de laquelle on ne représente que ses entrées et sorties en termes de courant et tension:



Si le système est linéaire, on peut représenter les relations de transfert, en termes matriciels, avec les quatre possibilités suivantes:

XI.2.1 Paramètres z

Equations:

$$u_1 = z_{11} \cdot i_1 + z_{12} \cdot i_2$$

$$u_2 = z_{21} \cdot i_1 + z_{22} \cdot i_2$$

(z) est la *matrice impédance* du quadripôle.

Forme matricielle:

$$\begin{pmatrix} u_1 \\ u_2 \end{pmatrix} = \begin{pmatrix} z_{11} & z_{12} \\ z_{21} & z_{22} \end{pmatrix} \cdot \begin{pmatrix} i_1 \\ i_2 \end{pmatrix} ; U = Z \cdot i$$

On en déduit immédiatement les définitions suivantes:

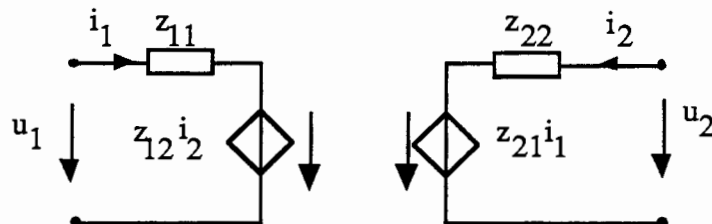
$$z_{11} = \frac{u_1}{i_1} (i_2 = 0) : \text{impédance d'entrée à sortie ouverte} \quad (\Omega)$$

$$z_{21} = \frac{u_2}{i_1} (i_2 = 0) : \text{impédance de transfert direct à sortie ouverte} \quad (\Omega)$$

$$z_{12} = \frac{u_1}{i_2} (i_1 = 0) : \text{impédance de transfert inverse à entrée ouverte} \quad (\Omega)$$

$$z_{22} = \frac{u_2}{i_2} (i_1 = 0) : \text{impédance de sortie à entrée ouverte} \quad (\Omega)$$

ainsi que le schéma équivalent du quadripôle en z :



XI.2.2 Paramètres y

Equations:

$$i_1 = y_{11} \cdot u_1 + y_{12} \cdot u_2$$

$$i_2 = y_{21} \cdot u_1 + y_{22} \cdot u_2$$

(y) est la **matrice admittance** d u quadripôle.

Forme matricielle:

$$\begin{pmatrix} i_1 \\ i_2 \end{pmatrix} = \begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix} \cdot \begin{pmatrix} u_1 \\ u_2 \end{pmatrix}$$

On en déduit immédiatement les définitions suivantes:

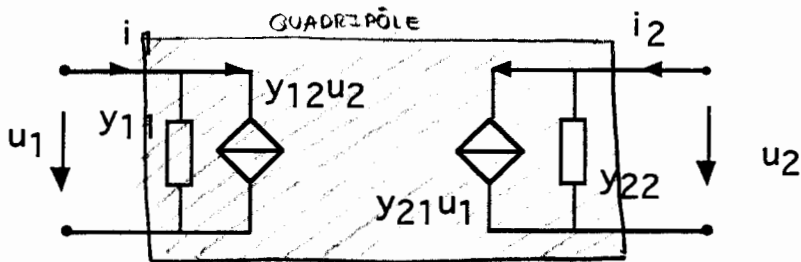
$$y_{11} = \frac{i_1}{u_1} (u_2 = 0): \text{ admittance d'entrée à sortie court - circuitée } (\Omega^{-1})$$

$$y_{21} = \frac{i_2}{u_1} (u_2 = 0): \text{ admittance de transfert direct à sortie court - circuitée } (\Omega^{-1})$$

$$y_{12} = \frac{i_1}{u_2} (u_1 = 0): \text{ admittance de transfert inverse à entrée court - circuitée } (\Omega^{-1})$$

$$y_{22} = \frac{i_2}{u_2} (u_1 = 0): \text{ admittance de sortie à entrée court - circuitée } (\Omega^{-1})$$

ainsi que le schéma équivalent du quadripôle en y:



XI.2.3 Paramètres h (\equiv impédance) (définit le type et les caractéristiques d'un transistor)

Equations:

$$u_1 = h_{11} \cdot i_1 + h_{12} \cdot u_2$$

$$i_2 = h_{21} \cdot i_1 + h_{22} \cdot u_2$$

(h) est la **matrice hybride** d u quadripôle.

Forme matricielle:

$$\begin{pmatrix} u_1 \\ i_2 \end{pmatrix} = \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} \cdot \begin{pmatrix} i_1 \\ u_2 \end{pmatrix}$$

On en déduit immédiatement les définitions:

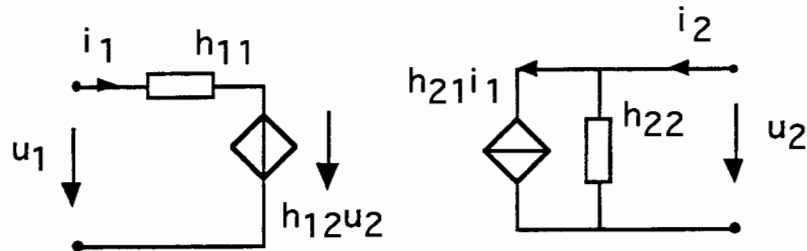
$$h_{11} = \frac{u_1}{i_1} (u_2 = 0) : \text{impédance d'entrée à sortie court-circuitée } (\Omega)$$

$$h_{21} = \frac{i_2}{i_1} (u_2 = 0) : \text{gain de courant à sortie court-circuitée } (-)$$

$$h_{12} = \frac{u_1}{u_2} (i_1 = 0) : \text{rapport de tension en retour à entrée ouverte } (-)$$

$$h_{22} = \frac{i_2}{u_2} (i_1 = 0) : \text{admittance de sortie à entrée ouverte } (\Omega^{-1})$$

ainsi que le schéma équivalent du quadripôle en h:



Les paramètres hybrides sont très utilisés en électronique. Sur le schéma du quadripôle en h précédent, on peut lire:

- la borne d'entrée du quadripôle présente une *impédance d'entrée* limitant le courant de charge de la source en amont.
- il existe une *tension de retour*, de la sortie vers l'entrée, tension proportionnelle à la tension de sortie.
- la sortie est de type *source de courant*: le courant de sortie est contrôlé par le courant d'entrée.
- la sortie présente aussi une *admittance de sortie*.

Il existe une autre terminologie pour ces paramètres h, utilisée en particulier pour la spécification de transistors bipolaires:

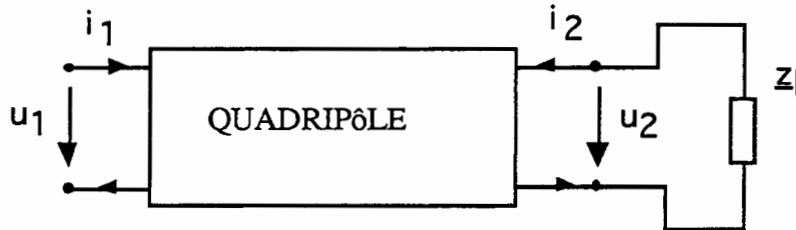
$$\begin{aligned} h_{11} = h_i \text{ (input)} & : \text{entrée} \\ h_{21} = h_f \text{ (forward)} & : \text{transfert direct} \\ h_{12} = h_r \text{ (reverse)} & : \text{transfert inverse} \\ h_{22} = h_o \text{ (output)} & : \text{sortie} \end{aligned}$$

XI.2.4 Passage d'un formalisme à un autre

Il peut être utile de convertir la description d'un quadripôle d'une représentation en **h** en une représentation en **z** par exemple. Il existe bien entendu des règles de passage d'un système de représentation à l'autre, ainsi que des propriétés de connexion de quadripôles entre eux. Voir "Théorie des réseaux de Kirchhoff", [2] au chapitre 6.

XI.3 GAINS ET IMPÉDANCES D'UN QUADRIPOLE CHARGÉ

Lorsque le quadripôle, représenté par les paramètres hybrides h , est chargé par une impédance en sortie, on a la situation suivante:



En considérant qu'une source de tension débite avec une impédance négligeable à l'entrée d'un quadripôle exprimé dans les paramètres h , on obtient les relations suivantes:

$$\text{Gain en courant } (-): \quad \Delta_i = \frac{i_2}{i_1} = \frac{h_{21}}{1 + \frac{z_1}{h_{22}}}$$

$$\text{Gain en tension } (-): \quad \Delta_u = \frac{u_2}{u_1} = \frac{h_{21} \cdot z_1}{h_{11} + h_{12} h_{21} z_1 + \frac{h_{11}}{h_{22}} \cdot z_1}$$

$$\text{Impédance d'entrée } (\Omega): \quad z_i = \frac{u_1}{i_1} = \frac{h_{11} + z_1 \cdot \frac{h_{11}}{h_{22}} + h_{12} h_{21} z_1}{1 + \frac{z_1}{h_{22}}}$$

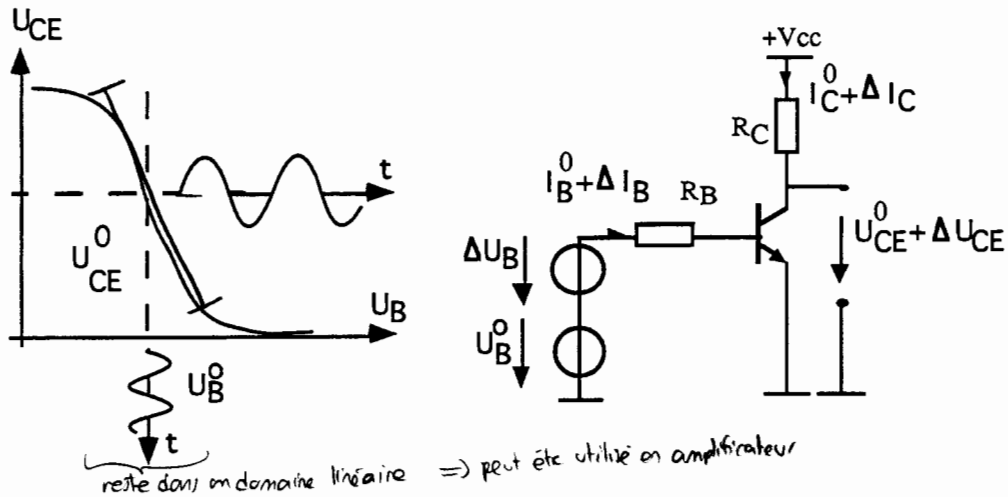
$$\text{Impédance de sortie } (\Omega): \quad z_o = h_{22}$$

EXO XI.6.1: Vérification des paramètres d'un quadripôle chargé

XI.4 FORMALISME QUADRIPOLAIRE ET AMPLIFICATEUR À TRANSISTOR

On le sait, le transistor bipolaire n'est pas un élément linéaire. Pour palier à ce problème, on pratique ce qu'on appelle l'**amplification petits signaux**: on polarise l'entrée avec un niveau continu et le signal à amplifier se superpose à ce niveau.

En sortie, on doit déduire le niveau continu, pour ne garder que le niveau alternatif, résultant de l'amplification petit signal.



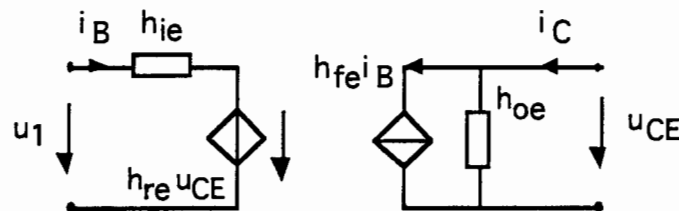
En formalisme quadripôle en h , on écrit:

Equations du transistor, metteur commun (indice "e"):

$$\Delta U_{BE} = h_{ie} \cdot \Delta I_B + h_{re} \cdot \Delta U_{CE}$$

$$\Delta I_C = h_{fe} \cdot \Delta I_B + h_{oe} \cdot \Delta U_{CE}$$

Ainsi, si on utilise des minuscules pour désigner des courants alternatifs, on a, pour le modèle de cet amplificateur à transistor bipolaire:



On a les significations suivantes:

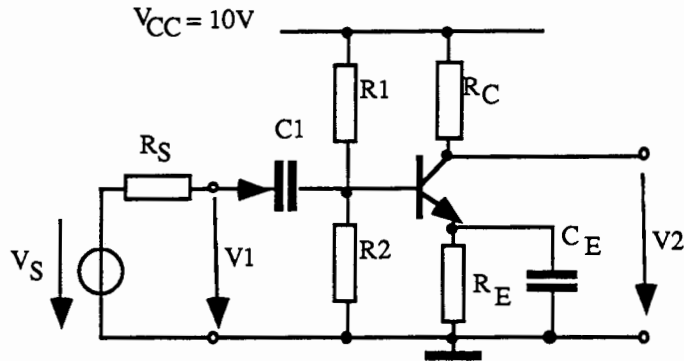
$$h_{ie} = \frac{u_{BE}}{i_B} (u_{CE} = 0) = \left. \frac{\Delta U_{BE}}{\Delta I_B} \right|_{U_{CE} = \text{Const}} : \text{impédance d'entrée à sortie court-circuitée (AC)}$$

$$h_{re} = \frac{u_{BE}}{u_{CE}} (i_B = 0) = \left. \frac{\Delta U_{BE}}{\Delta U_{CE}} \right|_{I_B = \text{Const}} : \text{transfert inverse de tension à entrée ouverte (AC)}$$

$$h_{fe} = \frac{i_C}{i_B} (u_{CE} = 0) = \left. \frac{\Delta I_C}{\Delta I_B} \right|_{U_{CE} = \text{Const}} : \text{gain de courant à sortie court-circuitée (AC)}$$

$$h_{oe} = \frac{i_C}{u_{CE}} (i_B = 0) = \left. \frac{\Delta I_C}{\Delta U_{CE}} \right|_{I_B = \text{Const}} : \text{admittance de sortie à entrée ouverte (AC)}$$

Exemple d'amplificateur à transistor traité en exercice:

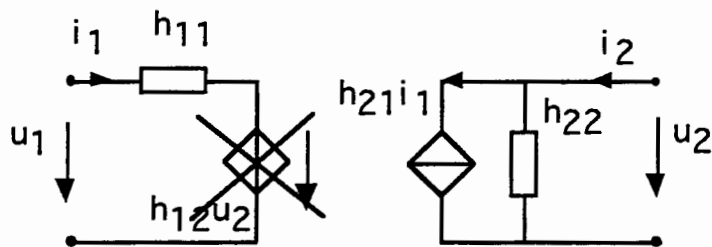


XI.5 AMPLIFICATEURS IDÉAUX

Les cas qui sont généralement recherchés en électronique sont ceux où la sortie ne réagit pas sur l'entrée, dans l'amplificateur pris globalement:

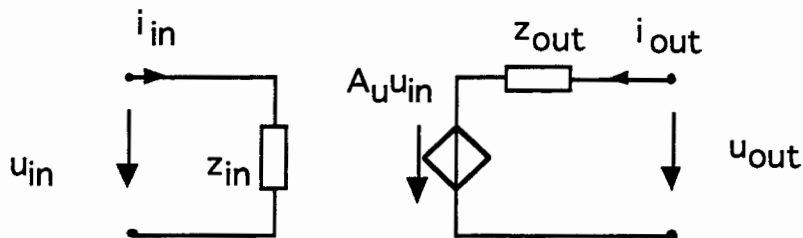
Le retour de tension, s'il existe dans l'amplificateur à transistor bipolaire, n'en est pas moins indésirable: on cherche à le minimiser ou à s'en affranchir.

Quadripôle en h:



On peut mettre un quadripôle en h sous la forme d'un amplificateur de tension ou de courant. Voir par exemple le premier exercice de cette leçon. On obtient les quatre types simples d'amplificateurs:

XI.5.1 Amplificateur de tension

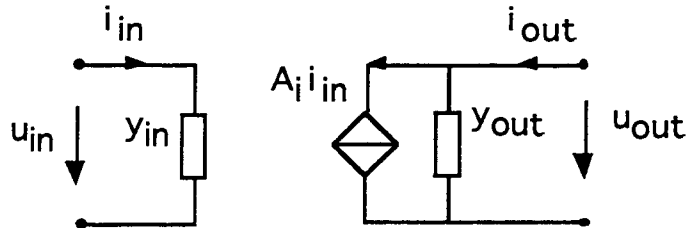


On a, dans un cas idéal électroniquement:

- $Z_{in} \approx \infty$: impédance d'entrée maximum (Ω)
- $Z_{out} \approx 0$: impédance de sortie minimum (Ω)
- A_u : gain en tension précis et stable (-)

Nous avons vu, en abordant les amplificateurs opérationnels, qu'on parvient à obtenir des amplificateurs de tension avec d'excellentes caractéristiques, bien que les constituants de base de ces amplificateurs soient eux-mêmes extrêmement imprécis et imparfaits: c'est un aspect typique du métier d'électronicien: faire des systèmes précis avec du matériel imprécis.

XI.5.2 Amplificateur de courant



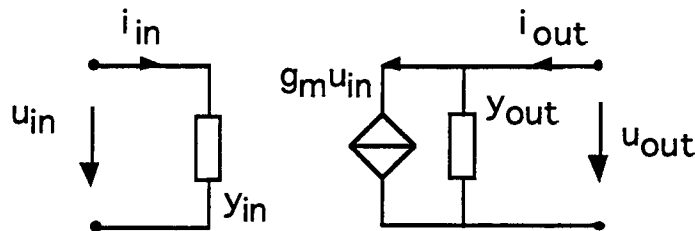
On a, dans un cas idéal électroniquement:

$$Z_{in} = \frac{1}{Y_{in}} \approx \infty \quad : \text{impédance d'entrée maximum} \quad (\Omega)$$

$$Z_{out} = \frac{1}{Y_{out}} \approx 0 \quad : \text{impédance de sortie minimum} \quad (\Omega)$$

$$A_i \quad : \text{gain en courant précis et stable} \quad (-)$$

XI.5.3 Amplificateur à transconductance



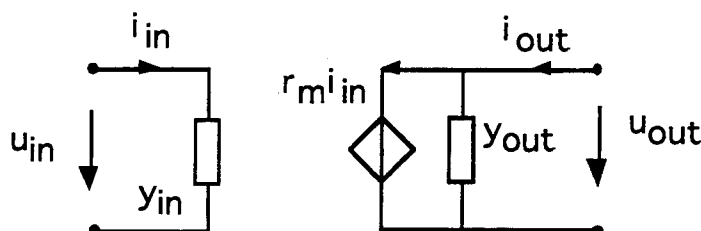
On a, dans un cas idéal électroniquement:

$$Z_{in} = \frac{1}{Y_{in}} \approx \infty \quad : \text{impédance d'entrée maximum} \quad (\Omega)$$

$$Z_{out} = \frac{1}{Y_{out}} \approx 0 \quad : \text{impédance de sortie minimum} \quad (\Omega)$$

$$g_m = \frac{i_{out}}{u_{in}} \quad : \text{transconductance précise et stable} \quad (\Omega^{-1})$$

XI.5.4 Amplificateur à transrésistance



On a, dans un cas idéal électroniquement:

$$Z_{in} = \frac{1}{Y_{in}} \approx \infty \quad : \text{impédance d'entrée maximum} \quad (\Omega)$$

$$Z_{out} = \frac{1}{Y_{out}} \approx 0 \quad : \text{impédance de sortie minimum} \quad (\Omega)$$

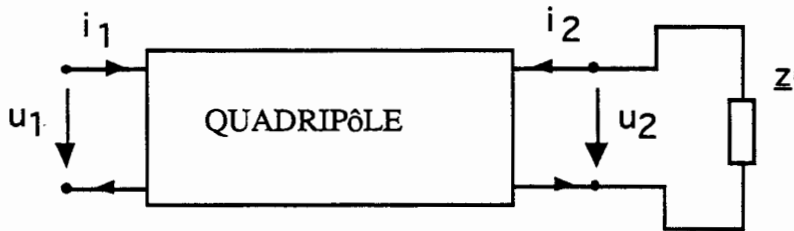
$$r_m = \frac{U_{out}}{i_{in}} \quad : \text{transrésistance précise et stable} \quad (\Omega)$$

EXO XI.6.2: Modélisation en amplificateur de tension

XI.6. EXERCICES

Exercice XI.6.1: Vérification des paramètres d'un quadripôle chargé

Lorsque le quadripôle, représenté par les paramètres hybrides h , est chargé par une impédance en sortie, on a la situation suivante:



En considérant qu'une source de tension débite avec une impédance négligeable à l'entrée d'un quadripôle exprimé dans les paramètres h , vérifiez les relations suivantes:

Gain en courant (-):
$$\Delta_i = \frac{i_2}{i_1} = \frac{h_{21}}{1 + \frac{Z_1}{h_{22}}}$$

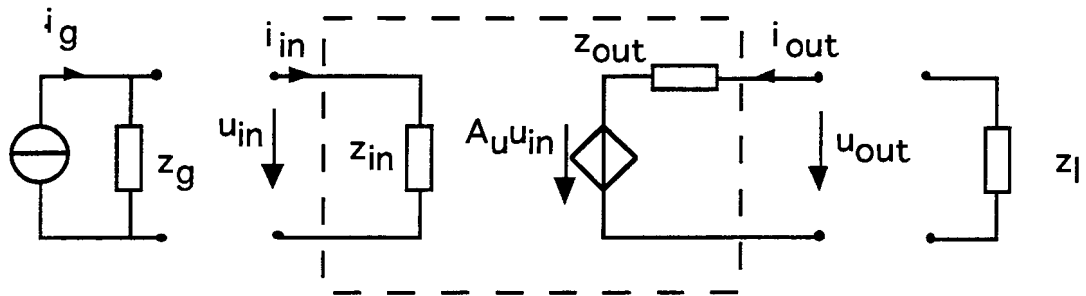
Gain en tension (-):
$$\Delta_u = \frac{u_2}{u_1} = \frac{h_{21} \cdot Z_1}{h_{11} + h_{12} h_{21} Z_1 + \frac{h_{11}}{h_{22}} \cdot Z_1}$$

Impédance d'entrée (Ω):
$$Z_i = \frac{u_1}{i_1} = \frac{h_{11} + Z_1 \cdot \frac{h_{11}}{h_{22}} + h_{12} h_{21} Z_1}{1 + \frac{Z_1}{h_{22}}}$$

Impédance de sortie (Ω):
$$Z_o = h_{22}$$

Exercice XI.6.2: Modélisation en amplificateur de tension

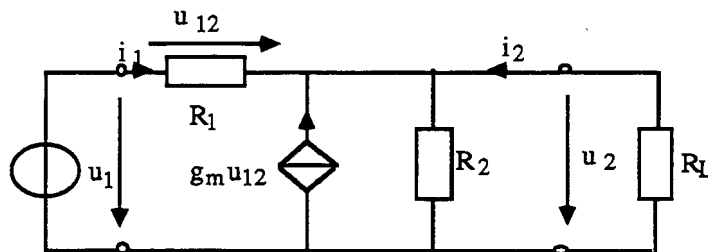
On a un élément électronique, que l'on décide de modéliser par un quadripôle, comme amplificateur de tension. Il est inséré dans le système où il doit remplir sa fonction: il y a une source de courant en amont et une charge (impédance) en aval:



- Remodélisez l'ensemble comme un quadripôle amplificateur de tension, en exprimant les impédances et le gain en tension.

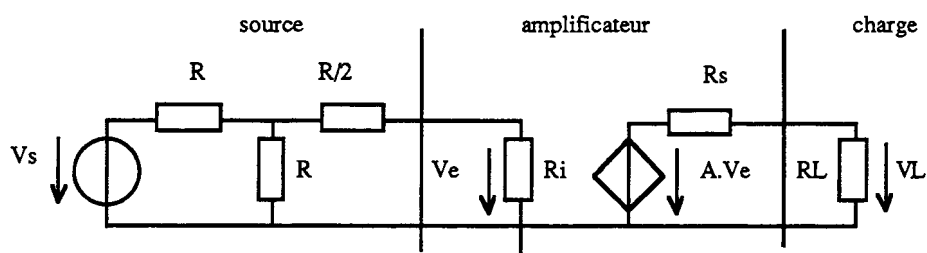
Exercice XI.6.3

Déterminer les résistances d'entrée et de sortie du quadripôle suivant:



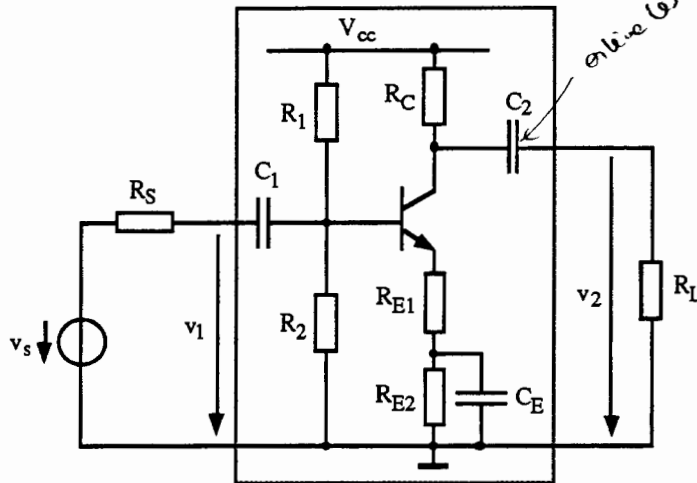
Exercice XI.6.4

Soit un amplificateur de tension avec une charge résistive R_L . Quelle est la tension V_L aux bornes de la charge R_L si une source de tension V_s est appliquée à cet amplificateur ?



Exercice XI.6.5

Soit l'amplificateur à un transistor ci-dessous:



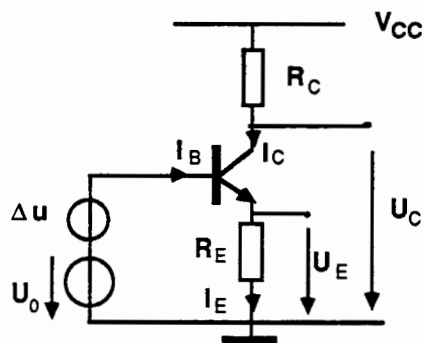
$V_{cc} = 9\text{ V}$ $T = \text{BC307}$ ($\beta_{\text{typ.}} = 150$)
 $R_{E1} = 470\ \Omega$ $R_{E2} = 1\ \text{k}\Omega$ $R_C = 3.3\ \text{k}\Omega$ $R_1 = 220\ \text{k}\Omega$ $R_2 = 68\ \text{k}\Omega$
 $R_s = 10\ \text{k}\Omega$ $R_L = 10\ \text{k}\Omega$

- Calculer le courant de polarisation I_{C0} .
- Dessiner le circuit équivalent pour petits signaux en bande passante.
- Calculer $A'v = \frac{v_2}{v_s}$ dans la bande passante en négligeant l'effet de gce.
- Dimensionner C_1 , C_2 et C_E pour avoir une fréquence de coupure basse à -3 dB égale ou inférieure à 20 Hz en négligeant l'effet de gce.

Exercice XI.6.6

Soit le schéma de la figure suivante.

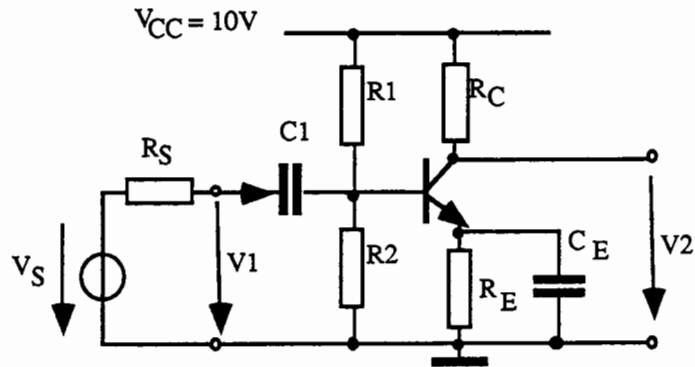
- Sachant que $U_{BE} = U_j$, calculer le point de repos ($\Delta u = 0$) c.à.d. les courants I_B , I_E et I_C , ainsi que les tensions U_E et U_C .
Quelle est le mode de fonctionnement du transistor ?
- Dessiner le schéma pour accroissements (petits signaux) et déterminer g_m et g_{be} .
- Déterminer le gain $G_1 = \Delta u_E / \Delta u$ et $G_2 = \Delta u_C / \Delta u$.



Application numérique: $U_0 = 4.6\ \text{V}$ $U_j = 0.7\ \text{V}$
 $R_C = 4.7\ \text{k}\Omega$ $R_E = 3.9\ \text{k}\Omega$
 $\beta = 200$ $V_{cc} = 10\ \text{V}$

Exercice XI.6.7

On considère le montage émetteur commun de la figure suivante:



$$R1 = 100\text{K}\Omega \quad R2 = 33\text{K}\Omega \quad RE = 2.2\text{K}\Omega \quad RC = 1.8\text{K}\Omega \quad RS = 1\text{K}\Omega$$

$$C1 = CE = \text{infini} \quad b = 150 \quad Uj = 0.7\text{V}$$

On demande:

- de calculer le courant de polarisation I_{C0} ,
- de calculer les paramètres petits signaux g_m et g_{be} ,
- de dessiner le circuit équivalent petits signaux,
- de calculer:

$A_v = \Delta V_2 / \Delta V_s$	$A_v' = \Delta V_2 / \Delta V_1$
$R_{in} = \Delta V_1 / \Delta i_1$	$R_{out} = \Delta V_2 / \Delta i_2$
- pour quelle amplitude du signal V_s obtient-on en sortie (V_2) une amplitude maximale.
- En gardant $CE = \text{infini}$, calculer C_1 de manière à garantir un gain ne variant pas de plus de 1% pour une fréquence minimale de 100 Hz.
- En gardant $C_1 = \text{infini}$ et CE nul. Calculer le gain A_v , R_{in} , R_{out} .

Leçon XII: LE TRANSISTOR MOS, FAMILLES LOGIQUES

Bien que globalement le fonctionnement du transistor MOS soit similaire à celui de son cousin bipolaire, le détail de l'analyse de son fonctionnement laisse apparaître de grandes divergences qui l'ont promu candidat unique à l'intégration des circuits intégrés numériques. On donne quelques exercices simples destinés à se familiariser avec le fonctionnement du MOS, ainsi qu'une courte information sur les familles technologiques.

PLAN DE LA LEÇON XII:

- XII.1. Généralités
 - XII.2. Fonctionnement du transistor MOS
 - XII.3. Charges et canal
 - XII.4. Courants dans le MOS
 - XII.5. Transistor MOS en régime de faible inversion
 - XII.6. Introduction aux familles technologiques
 - XII.7. Exercices
-

MOS TRANSISTOR MOS

1 GÉNÉRALITÉS

1.1 Introduction

En 1930, L. Lilienfeld de l'Université de Leipzig dépose un brevet dans lequel il décrit un élément qui ressemble au transistor MOS (Métal Oxyde Semiconducteur) actuel. Cependant, ce n'est que vers 1960 que, la technologie ayant suffisamment évolué, de tels transistors peuvent être réalisés avec succès. En particulier, les problèmes d'interface oxyde-semiconducteur ont pu être résolus grâce à l'affinement de la technologie dans le domaine bipolaire, affinement requis pour obtenir des transistors de meilleure qualité. Aujourd'hui le transistor MOS constitue, par sa simplicité de fabrication et ses petites dimensions, l'élément fondamental des circuits intégrés numériques à large échelle.

1.2 Définitions

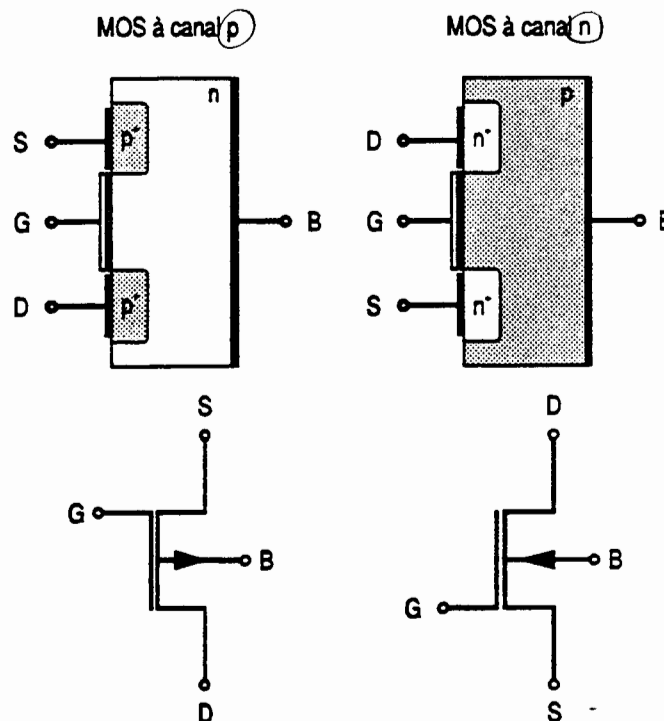


Fig. 1: structures et symboles des transistors MOS

Le transistor MOS est un transistor à effet de champ constitué d'un substrat semi-conducteur (B) recouvert d'une couche d'oxyde sur laquelle est déposée l'électrode de

TRANSISTOR MOS

grille (G). Par le biais d'une différence de potentiel appliquée entre grille et substrat, on crée, dans le semiconducteur, un champ électrique qui a pour effet de repousser les porteurs majoritaires loin de l'interface oxyde-semiconducteur et d'y laisser diffuser des minoritaires venus de deux îlots de type complémentaire au substrat, la source (S) et le drain (D). Ceux-ci forment une couche pelliculaire de charges mobiles appelée *canal*. Ces charges sont susceptibles de transiter entre le drain et la source situés aux extrémités du canal (fig. 1). Dans cette même figure, on a également représenté les symboles des transistors MOS à canal n et à canal p. La flèche indique le sens de conduction des jonctions substrat-source (BS) et substrat-drain (BD). Sauf près de l'interface oxyde-semiconducteur, ces jonctions sont polarisées en sens inverse. A la figure 2, on a représenté différents symboles couramment utilisés pour les transistors MOS.

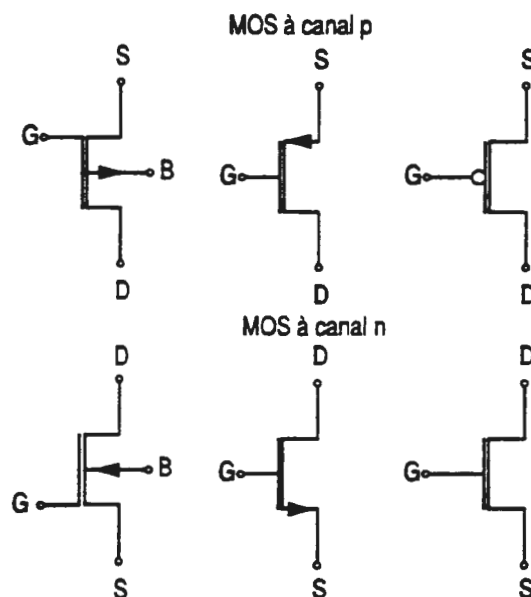


Fig. 2: différents symboles du MOS

La *longueur du canal* est la distance L , comptée selon l'axe y , entre la jonction substrat-source et la jonction substrat-drain.

La *largeur du canal*, w , correspond à la largeur, selon l'axe z , des îlots semiconducteurs formant la source et le drain (fig. 3).

1.3

Description

On intègre des transistors MOS de type complémentaires (CMOS) dans un même substrat. Les transistors à canal n sont intégrés directement dans le substrat de type p et on réalise un caisson d'isolation de type n dans lequel sont intégrés les transistors à canal p (fig. 4). Pour satisfaire la polarisation inverse des jonctions BS et BD, le caisson

TRANSISTOR MOS

de type n est connecté au potentiel le plus positif et le substrat de type p au potentiel le plus négatif. Il est intéressant de remarquer que le transistor est déterminé par l'emplacement de la grille (sur l'oxyde mince).

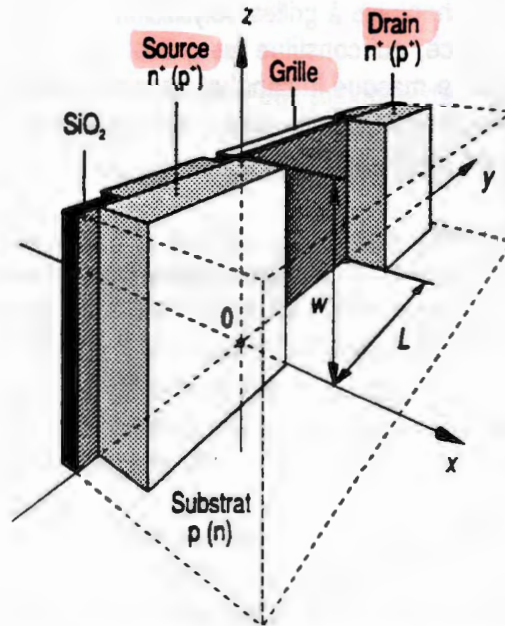


Fig. 3: structure d'un transistor MOS

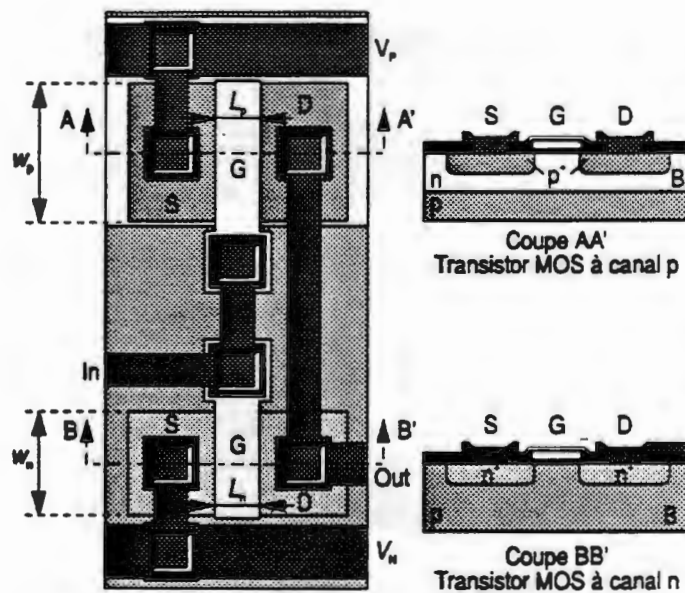


Fig. 4: MOS complémentaires

TRANSISTOR MOS

Les deux technologies les plus courantes sont celles dites "à grilles métalliques" et "à grilles polysilicium".

Dans la technologie à grilles métalliques, on utilise le même métal (généralement de l'aluminium) que celui qui permet d'interconnecter les différentes électrodes du circuit pour réaliser les grilles.

Dans la technologie à grilles polysilicium, c'est une couche de silicium polycristallin, sur l'oxyde mince, qui constitue les grilles. Lors de la diffusion des sources et des drains, cette couche masque le canal et permet de réaliser ainsi un auto-alignement des sources et des drains avec les grilles. Après l'opération de diffusion, les trois électrodes sont dopées de même façon.

1.4

Commentaire

Dans ce chapitre, on étudie le fonctionnement d'un transistor MOS à canal n et à substrat homogène. Le soin est laissé au lecteur de transposer les résultats pour le cas du transistor MOS à canal p (inversion de la polarité des tensions et du sens des courants).

TRANSISTOR MOS

2 FONCTIONNEMENT DU TRANSISTOR MOS

2.1 Introduction

Dans cette section, on décrit le fonctionnement du transistor MOS de manière à ce que le lecteur en ait une compréhension intuitive.

2.2 Définitions

Tous les potentiels sont référés à celui de l'électrode de substrat. On désigne par *mode F* le mode de fonctionnement dans lequel le potentiel de drain V_D est différent de zéro et par *mode R* le mode de fonctionnement dans lequel le potentiel de source V_S est différent de zéro.

On désigne par V_0 la valeur particulière du potentiel à l'interface oxyde-semiconducteur. On lui donne le nom de *potentiel d'interface*.

2.3 Flat-Band

La condition flat-band est déterminée par le fait que le potentiel d'interface V_0 est nul. Dans la figure 5, on a représenté les charges dans un transistor n-MOS en condition flat-band. On remarque, en particulier, que les deux jonctions substrat-source et substrat-drain sont bloquées.

Dans la même figure, on montre le potentiel énergétique pour les électrons. On constate que, ni les électrons de la source, ni les électrons du drain, n'ont une énergie suffisante pour pénétrer dans le substrat. De même, les trous du substrat n'ont pas une énergie suffisante pour pénétrer dans les électrodes de source et de drain.

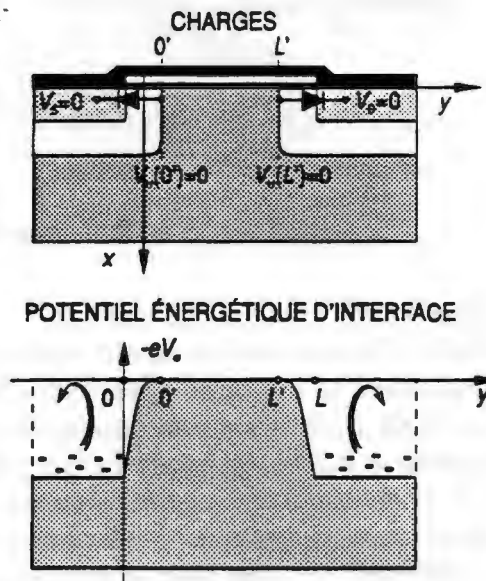


Fig. 5: MOS en condition de "flat-band"

TRANSISTOR MOS

2.4 *Forte inversion*

Si l'on augmente le potentiel de grille, un champ électrique va repousser les trous loin de l'interface oxyde-semiconducteur et le potentiel dont il découle va progressivement augmenter le potentiel d'interface (diminution du potentiel énergétique d'interface pour les électrons) jusqu'à ce que les jonctions substrat-source et substrat-drain conduisent. On admet qu'elles conduisent lorsque le potentiel à leur anode vaut V_j . Les électrons de la source, comme ceux du drain, peuvent alors passer la barrière de potentiel et se répandre le long de l'interface oxyde-semiconducteur, formant une nappe qui relie la source au drain (Fig. 6). Les trous ayant été repoussés de l'interface oxyde-semiconducteur, il n'y aura pas d'injection de trous du substrat dans les deux électrodes drain et source.

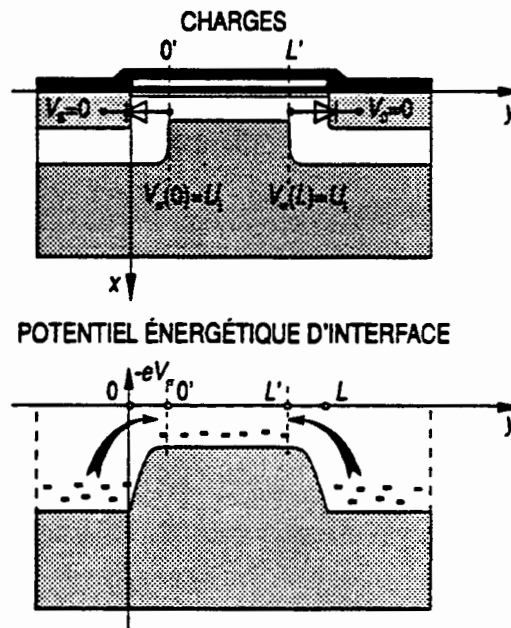


Fig. 6: MOS en forte inversion, au repos

2.5 *Conduction*

En conduction, les deux jonctions substrat-source et substrat-drain conduisent toutes les deux. Cependant, on augmente le potentiel d'une des électrodes (Drain en mode F, source en mode R), ce qui a pour conséquence de faire varier le potentiel d'interface entre la source et le drain, ce potentiel suivant les potentiels de source et de drain à une tension de jonction près aux extrémités du canal (Fig. 7). De la variation du potentiel d'interface découle un champ électrique qui aura pour effet de pousser les électrons vers une des extrémités du canal (vers le drain en mode F et vers la source en mode R).

TRANSISTOR MOS

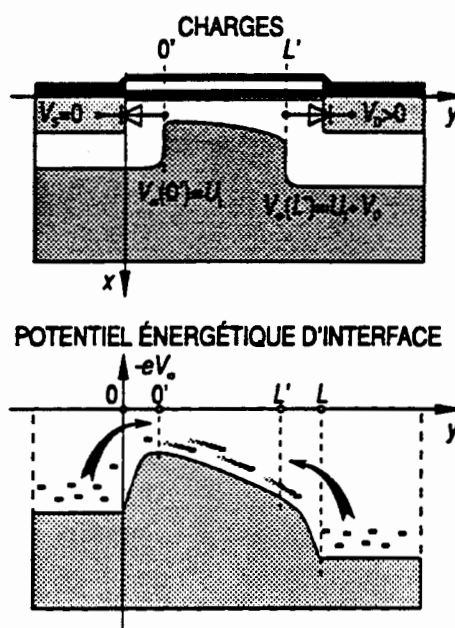


Fig. 7: MOS en conduction

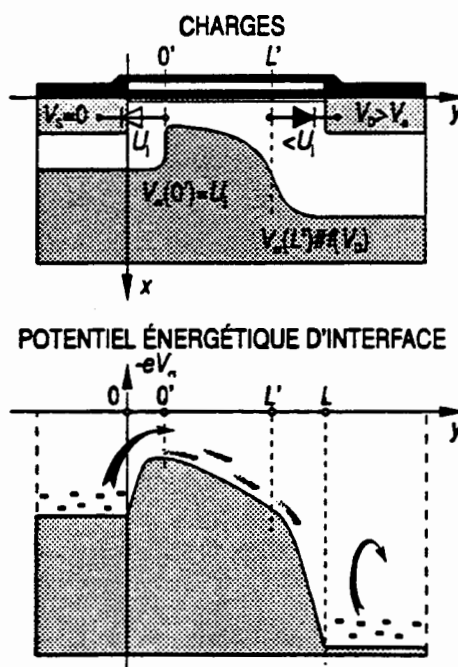


Fig. 8: MOS en saturation

TRANSISTOR MOS**2.6 Saturation**

Le transistor MOS atteint la saturation lorsqu'on a suffisamment augmenté le potentiel de l'une des électrodes, drain (en mode F) ou source (en mode R), pour que la jonction substrat-électrode correspondante se bloque. Le flux d'électrons, et par conséquent le courant correspondant, n'est plus tributaire alors que du potentiel de l'électrode qui injecte et du potentiel de grille (Fig.8). Vu de l'électrode dont la jonction est bloquée, le transistor MOS se comporte alors comme une source de courant.

TRANSISTOR MOS

3 CHARGES ET CANAL

3.1 Introduction

La charge des électrons qui forme le canal est appelée charge induite. La connaissance de cette charge induite permet de calculer les courants dans le transistor MOS. Par la suite, on considère les charges par unité de surface de l'interface oxyde-semiconducteur et l'on parle de charge surfacique.

3.2 Définitions

On appelle *capacité surfacique de l'oxyde* la capacité par unité de surface C'_{ox} du condensateur plan dont le diélectrique est constitué par l'oxyde d'épaisseur t et dont les électrodes sont la grille et le semiconducteur ($[C'_{ox}] = F/m^2$).

$$C'_{ox} = \frac{\epsilon_{ox}}{t} \quad (1)$$

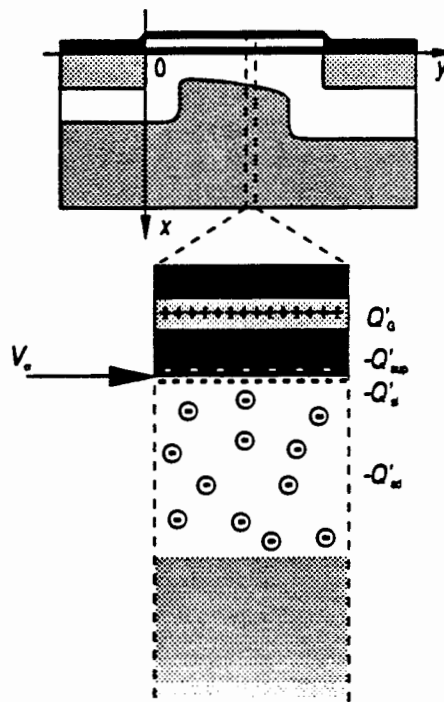


Fig. 9: charges surfaciques

On appelle *charge surfacique de déplétion* (voir figure 9) la charge $-Q'_{sd}$ constituée par les accepteurs ionisés de la zone de déplétion située sous l'interface oxyde-semiconducteur. On peut démontrer, en utilisant la loi de Gauss, que la charge surfacique de déplétion dépend du potentiel d'interface par la relation

TRANSISTOR MOS

$$Q'_{sd} = eN_A x_d = K\sqrt{V_\sigma} \quad (2)$$

où

$$K = \sqrt{2\varepsilon_s e N_A} \quad (3)$$

avec $[K] = \text{As/m}^2\text{V}^{1/2}$.

On appelle *charge surfacique induite* la charge $-Q'_{si}$ constituée par les électrons qui forment le canal.

On appelle *charge surfacique supplémentaire* une charge fictive $-Q'_{sup}$ que l'on situe dans l'oxyde, à proximité de l'interface oxyde-semiconducteur, et qui rend compte d'une différence de potentiel électrochimique entre grille et substrat ainsi que de différentes charges trappées dans l'oxyde. On suppose que la charge surfacique supplémentaire est constante.

On appelle *charge surfacique de grille* la charge positive Q'_G qui se trouve sur la grille et qui neutralise toutes les charges négatives que l'on trouve du côté semiconducteur.

3.3 Description

Le bilan des charges surfaciques s'écrit:

$$Q'_G = Q'_{sup} + Q'_{sd} + Q'_{si} \quad (4)$$

avec

$$Q'_G = C'_{ox} (V_G - V_\sigma) \quad (5)$$

et

$$Q'_{sd} = K\sqrt{V_\sigma} \quad (6)$$

La figure 10 montre l'évolution de ces différentes charges en fonction du potentiel d'interface V_σ . On y met en évidence la charge surfacique induite Q'_{si} qui a pour expression:

$$Q'_{si} = C'_{ox} (V_G - V_\sigma) - Q'_{sup} - K\sqrt{V_\sigma} \quad (7)$$

3.4 Définitions

On appelle *potentiel de seuil nominal* V_{T0} le potentiel de grille pour lequel, alors que les potentiels de source et de drain sont nuls, le potentiel d'interface V_σ atteint V_j , c'est-à-dire le potentiel de grille qui entraîne la forte inversion à l'interface oxyde-semiconducteur. On obtient l'expression de V_{T0} en annulant Q'_{si} et en posant $V_\sigma = V_j$ dans (7).

$$V_{T0} = \frac{K\sqrt{V_j} + Q'_{sup}}{C'_{ox}} + V_j \quad (8)$$

3.5 Modèle

Pour simplifier les calculs en forte inversion, on admet une variation linéaire de la charge

TRANSISTOR MOS

surfactive de déplétion avec V_σ dès que $V_\sigma > V_j$ (fig. 10):

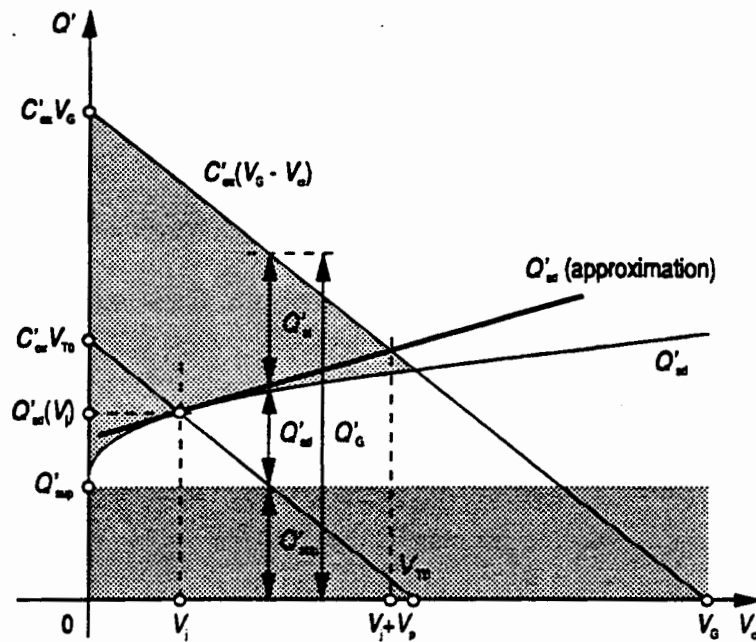


Fig. 10: charges dans un MOS en fonction du potentiel d'interface

$$Q'_{sd} = Q'_{sd}(V_j) + \alpha C'_{ox} (V_\sigma - V_j) \quad (9)$$

avec

$$\alpha C'_{ox} = \left. \frac{dQ'_{sd}}{dV_\sigma} \right|_{V_j} = \frac{K}{\sqrt{V_\sigma}} \quad (10)$$

et

$$Q'_{sd}(V_j) = K \sqrt{V_j} \quad (11)$$

En posant $n_0 = 1 + \alpha$, la charge surfacique induite peut alors être exprimée par la relation:

$$Q'_{si} = C'_{ox} [V_G - V_{T0} - n_0 (V_\sigma - V_j)] \quad (12)$$

3.6 Définition

A V_G donné, on constate que la charge surfacique induite s'annule lorsque le potentiel de surface atteint la valeur:

TRANSISTOR MOS

$$V_{\text{op}} = \frac{V_G - V_{T0}}{n_0} + V_i = V_p + V_i \quad (13)$$

Le potentiel V_p est appelé *potentiel de pincement*.

TRANSISTOR MOS

4 COURANTS DANS LE MOS

4.1 Introduction

Le courant traversant un MOS en forte inversion est dû à l'influence d'un champ électrique E_y , imposé par les potentiels de drain et de source, qui entraîne à une vitesse $v_n = -\mu_n E_y$ la charge induite formant le canal. Le courant de drain, positif lorsqu'il traverse le MOS du drain à la source, est égal au débit des charges formant le canal.

4.2 Description

La charge $dQ_{si} = Q'_{si} \cdot w \cdot dy$ située dans une tranche de longueur dy et de largeur w s'écoule à travers la section du canal en un temps $dt = dy/v_n$. On peut ainsi exprimer le courant par la relation

$$I_D = \frac{dQ_{si}}{dt} = Q'_{si} \cdot w \cdot v_n \quad (14)$$

Introduisant la vitesse

$$v_n = -\mu_n E_y = \mu_n \frac{dV_\sigma}{dy} \quad (15)$$

dans (14), on obtient une équation différentielle à variables séparables qu'il suffit d'intégrer sur toute la longueur du canal pour pouvoir exprimer le courant drain:

$$I_D = \frac{\mu_n w}{L} \int_{V_\sigma(0')}^{V_\sigma(L')} Q'_{si} dV_\sigma = \frac{\mu_n w C'_{ox}}{L} \int_{V_\sigma(0')}^{V_\sigma(L')} \frac{Q'_{si}}{C'_{ox}} dV_\sigma \quad (16)$$

4.3 Définitions

On appelle *paramètre de transconductance* la grandeur β ($[\beta] = \text{AN}^2$), dépendant de la technologie, définie par la relation:

$$\beta = \frac{\mu_n w C'_{ox}}{L} \quad (17)$$

Il faut encore remarquer que, pour autant que le canal ne soit pas pincé, on peut écrire (voir figure 7):

$$V_\sigma(0') = V_S + U_j \quad (18)$$

et

$$V_\sigma(L') = V_D + U_j \quad (19)$$

TRANSISTOR MOS

Si l'on pose encore:

$$V_{\sigma} = V_y + U_j \quad (20)$$

on peut écrire (16) sous la forme

$$\begin{aligned} I_D &= \beta \int_{V_s}^{V_b} \frac{Q'_{si}}{C'_{ox}} dV_y \\ &= \beta \int_0^{V_b} \frac{Q'_{si}}{C'_{ox}} dV_y + \beta \int_0^{V_s} \frac{Q'_{si}}{C'_{ox}} dV_y = I_F - I_R \end{aligned} \quad (21)$$

On appelle *mode F* le mode de fonctionnement particulier défini par $V_S = 0$. Le courant en mode F s'écrit:

$$I_F = \beta \int_0^{V_b} \frac{Q'_{si}}{C'_{ox}} dV_y \quad (22)$$

On appelle *mode R* le mode de fonctionnement particulier défini par $V_D = 0$. Le courant en mode R s'écrit:

$$I_R = \beta \int_0^{V_s} \frac{Q'_{si}}{C'_{ox}} dV_y \quad (23)$$

4.4 Représentation

En tenant compte des considérations ci-dessus, on peut simplifier considérablement la figure 10 et représenter Q'_{si}/C'_{ox} en fonction de V_y (figure 11).

Le courant I_X dans un mode quelconque (X) est proportionnel à la surface du trapèze grisé de la figure 11. On constate que ce courant croît en fonction de V_X jusqu'au potentiel de pincement V_p selon la relation:

$$I_X = \beta \left[(V_G - V_{T0}) V_X - \frac{n_0 V_X^2}{2} \right] \quad (24)$$

Dès que V_X devient supérieur à V_p , le courant I_X reste constant et a pour expression:

$$I_X = \beta \frac{(V_G - V_{T0})^2}{2n_0} \quad (25)$$

TRANSISTOR MOS

Ces relations sont représentées par les caractéristiques de sortie de la figure 12.

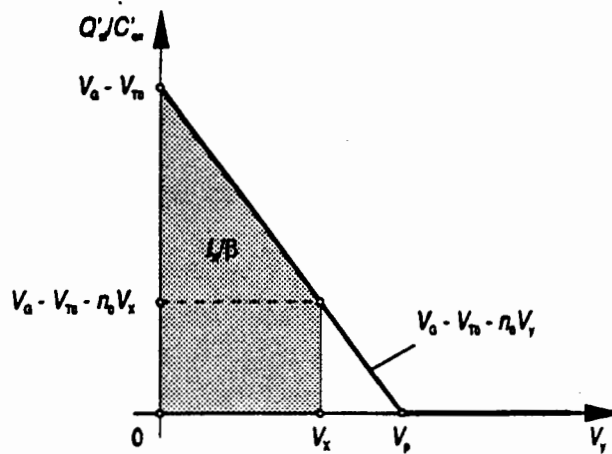


Fig. 11: représentation des courants dans le MOS

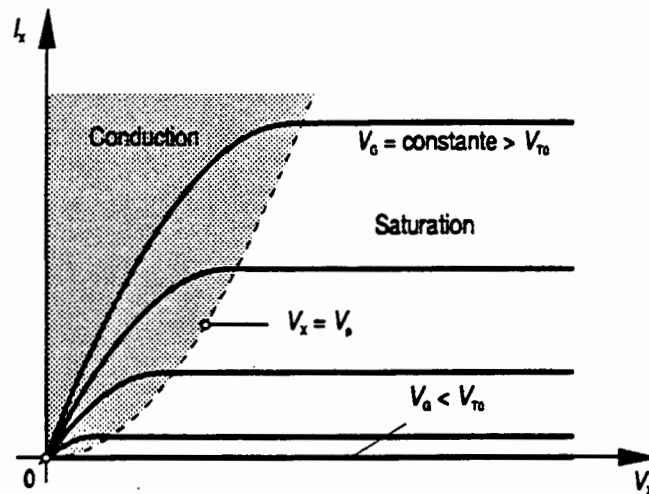


Fig. 12: caractéristiques de sortie du transistor MOS

4.5

Définitions

On appelle conduction le régime de fonctionnement dans lequel le pincement n'apparaît pas dans le canal, c'est-à-dire lorsque $V_D < V_p$ et $V_S < V_p$.
Le courant drain $I_D = I_F - I_R$ s'écrit alors:

$$I_D = \beta n_0 \left[\left(\frac{V_G - V_{T0}}{n_0} \right) (V_D - V_S) - \frac{1}{2} (V_D^2 - V_S^2) \right] \quad (26)$$

TRANSISTOR MOS

On appelle *saturation directe* le régime de fonctionnement dans lequel il y a pincement à l'extrémité drain du canal uniquement, c'est-à-dire lorsque $V_D \geq V_p$ et $V_S < V_p$. Le courant de drain a pour expression:

$$I_D = -\frac{\beta n_0}{2} \left(\frac{V_G - V_{T0}}{n_0} - V_S \right)^2 = -\frac{\beta n_0}{2} [V_G - (V_{T0} + n_0 V_S)]^2 \quad (27)$$

On appelle *saturation inverse* le régime de fonctionnement dans lequel il y a pincement à l'extrémité source du canal uniquement, c'est-à-dire lorsque $V_D < V_p$ et $V_S \geq V_p$. Le courant de drain s'écrit:

$$I_D = -\frac{\beta n_0}{2} \left(\frac{V_G - V_{T0}}{n_0} - V_D \right)^2 = -\frac{\beta n_0}{2} [V_G - (V_{T0} + n_0 V_D)]^2 \quad (28)$$

Dans les régimes de saturation, on constate que le courant de drain est indépendant du potentiel de drain en saturation directe et du potentiel de source en saturation inverse; par conséquent, le MOS se comporte comme une source de courant idéale commandée par le potentiel V_G . A la figure 13, on a représenté la caractéristique de transfert du MOS dans ce régime de fonctionnement.

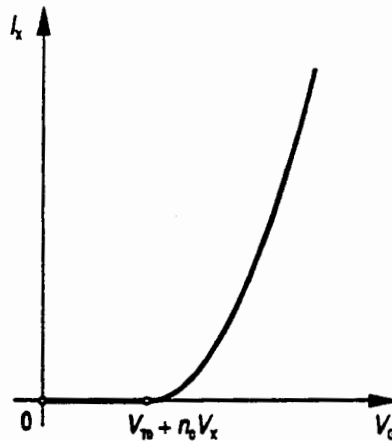


Fig. 13: caract. de transfert

Si les potentiels de drain ou de source ne sont pas nuls, tout se passe comme si le potentiel de seuil avait varié pour prendre la valeur:

$$V_T = V_{T0} + n_0 V_S \quad (29)$$

TRANSISTOR MOS

On parle souvent de *modulation du potentiel de seuil par le substrat* car c'est parce que la source (ou le drain) n'est pas au potentiel du substrat que le phénomène se produit. Finalement on appelle *blocage* le régime de fonctionnement dans lequel il y a pincement aux deux extrémités du canal et par conséquent dans tout le canal. Aucun courant ne peut alors circuler:

$$I_D = 0 \quad (30)$$

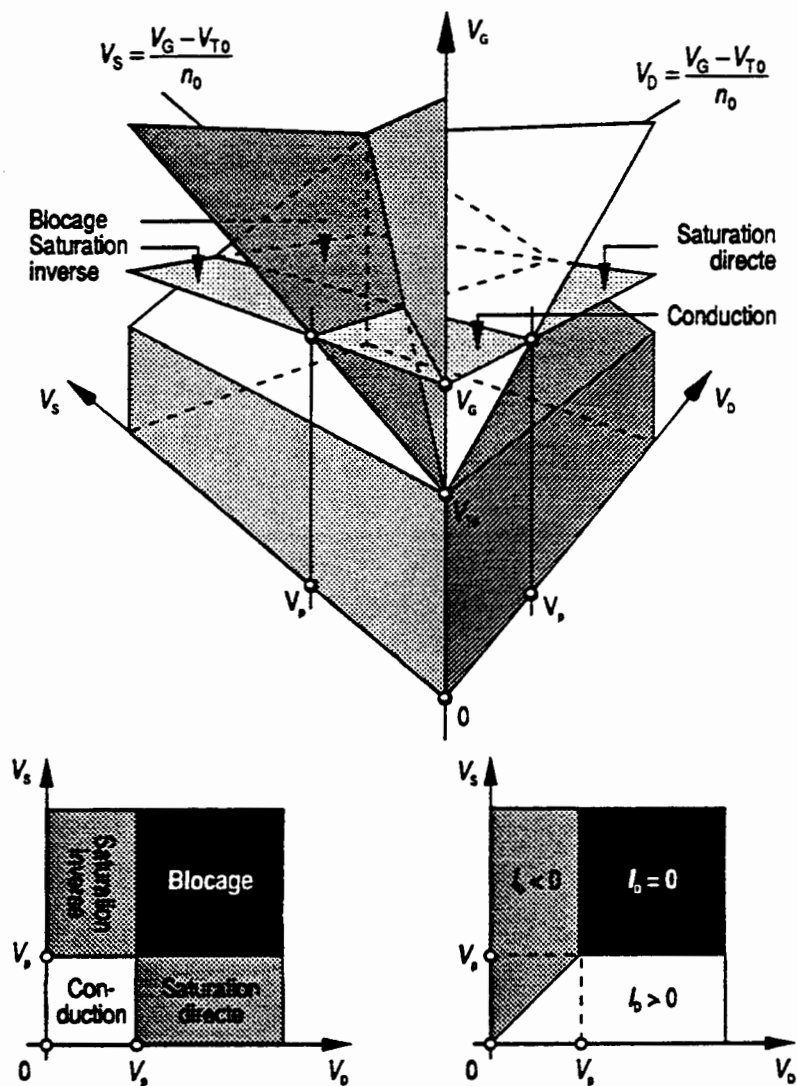


Fig. 14: régimes de fonctionnement du transistor MOS

TRANSISTOR MOS

4.6 Représentations

Pour une valeur donnée du potentiel de grille, les divers régimes de fonctionnement peuvent être illustrés par des surfaces dans le plan (V_D, V_S) (fig. 14).

Il faut encore remarquer que le courant I_D , hors du blocage, est positif si $V_D > V_S$, négatif si $V_D < V_S$ et nul si $V_D = V_S$.

4.7 Modulation de la longueur du canal

Au paragraphe 4.6, on a admis que le transistor MOS se comportait comme une source de courant idéale en régime de saturation. En réalité, l'extrémité effective L' du canal varie en fonction du potentiel de drain que l'on applique. Si l'on appelle I_{D0} la valeur théorique du courant de drain en saturation directe donnée par la relation (27), on admet qu'en tenant compte de l'effet de modulation de la longueur du canal, le courant de drain s'écrit:

$$I_D \cong I_{D0} \left(1 + \frac{V_D}{V_M} \right) = I_{D0} (1 + \lambda V_D) \quad (31)$$

λ et V_M sont indifféremment appelés *paramètres de modulation de la longueur du canal*. La figure 15 montre des caractéristiques de sortie du transistor MOS qui tiennent compte de la modulation de la longueur du canal.

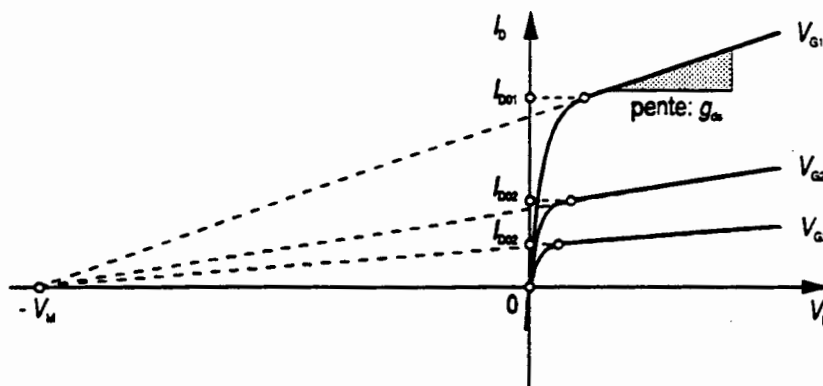


Fig. 15: effet de la modulation de la longueur du canal

4.8 Modèle pour accroissements

On suppose, pour la suite de notre étude, qu'en régime d'accroissements le transistor MOS travaille autour d'un point de repos P_q qui le met en saturation directe et que le potentiel de source est constant. Les accroissements du courant de drain sont commandés par les accroissements des potentiels de grille et de drain selon la relation:

$$\Delta I_D = g_m \Delta V_G + g_{ds} \Delta V \quad (32)$$

TRANSISTOR MOS

où

$$g_m = \left. \frac{\partial I_D}{\partial V_{G_{IP_q}}} \right| = \beta \left(\frac{V_{Gq} - V_{T0}}{n_0} \right) = \sqrt{\frac{2\beta I_{Dq}}{n_0}} \quad (33)$$

et

$$g_{ds} = \left. \frac{\partial I_D}{\partial V_{D_{IP_q}}} \right| \cong \frac{I_{Dq}}{V_M} \quad (34)$$

A la figure 16, on a représenté le schéma équivalent pour accroissements du transistor MOS. Par la structure même du composant, on conçoit que la grille est liée capacitivement à la source, au drain et au substrat et que le drain est lié au substrat par la capacité de transition de la jonction substrat-drain polarisée en sens inverse.

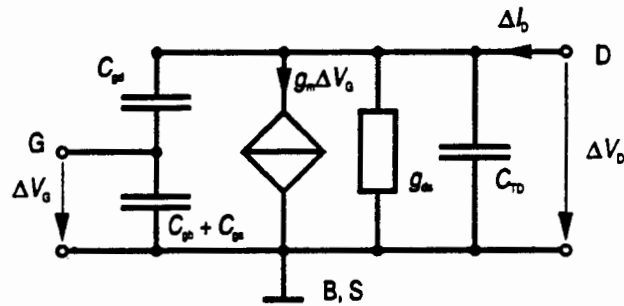


Fig. 16: modèle pour accroissements

TRANSISTOR MOS

5 TRANSISTOR MOS EN RÉGIME DE FAIBLE INVERSION

5.1 Définition

Au paragraphe 2.4, on a admis, d'une façon un peu arbitraire, que le transistor MOS entré en forte inversion lorsque les jonctions substrat-source et substrat drain étaient polarisées sous une tension V_j (0,6 à 0,7V). En réalité, dès que ces jonctions sont polarisées en sens direct, des électrons peuvent diffuser et former une nappe à l'interface oxyde-semiconducteur. Le transistor MOS est en *faible inversion* pour des tensions, aux bornes de ces jonctions, comprises entre 0V et V_j .

5.2 Description

Dans les conditions de faible inversion, le potentiel d'interface V_{σ} est uniquement déterminé par le potentiel de grille V_G étant donné qu'aux extrémités $0'$ et L' du canal il n'est pas lié aux potentiels de drain et de source. On peut donc dire que les électrons émis par la source vont diffuser dans le canal et être collectés par le puits de potentiel que représente le drain. Un raisonnement semblable s'applique pour les électrons émis par le drain.

5.3 Définitions

On définit un *mode F* dans lequel la jonction substrat-source est polarisée en sens direct alors que la jonction substrat-drain est en polarisation inverse ou nulle (Fig. 17).

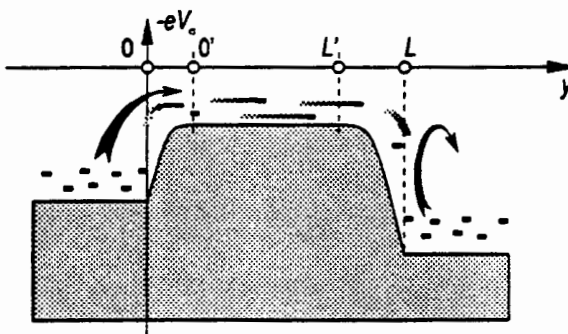


Fig. 17: mode F en faible inversion

Etant donné que le courant en mode F est un pur courant de jonction qui circule par diffusion, il a pour expression, sachant qu'aux borne de la jonction substrat-source est appliquée une tension $-V_S$:

$$I_F = I_{sM} \exp\left(-\frac{V_S}{U_T}\right) \quad (35)$$

On définit un *mode R* dans lequel la jonction substrat-drain est polarisée en sens direct alors que la jonction substrat-source est en polarisation inverse ou nulle (Fig. 18).

TRANSISTOR MOS

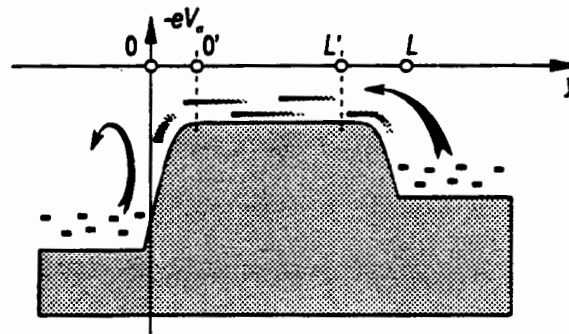


Fig. 18: mode R en faible inversion

Etant donné que le courant en mode R est également un courant de jonction qui circule par diffusion, il a pour expression, sachant qu'aux borne de la jonction substrat-drain est appliquée une tension $-V_D$:

$$I_R = I_{sM} \exp\left(-\frac{V_D}{U_T}\right) \quad (36)$$

On peut démontrer que le *courant inverse de saturation* I_{sM} qui, comme on peut s'y attendre, dépend du potentiel de grille, a pour expression:

$$I_{sM} = I_k \exp\frac{V_G}{nU_T} \quad (37)$$

où I_k et n sont des paramètres constants du transistor MOS.

5.4 Modèle

Le modèle du transistor MOS résulte de la superposition des modèles en mode F et en mode R, aucun autre effet ne venant perturber ces courants. On peut donc écrire l'équation du courant de drain dans le transistor MOS en faible inversion:

$$I_D = I_F - I_R = I_k \exp\left(-\frac{V_G}{nU_T}\right) \left[\exp\left(-\frac{V_S}{U_T}\right) - \exp\left(-\frac{V_D}{U_T}\right) \right] \quad (38)$$

5.5 Remarques

Le modèle du transistor MOS en faible inversion a une forme similaire au modèle de Ebers et Moll du transistor bipolaire. Toutefois, le courant inverse de saturation, alors qu'il est constant dans le modèle de Ebers et Moll, dépend exponentiellement du potentiel de grille.

La différence fondamentale entre la faible et la forte inversion est qu'en faible inversion,

les composantes du courant de drain circulent essentiellement par **diffusion** alors qu'en forte inversion, ces composantes circulent par **conduction**.

XII.6. FAMILLES TECHNOLOGIQUES: INTRODUCTION

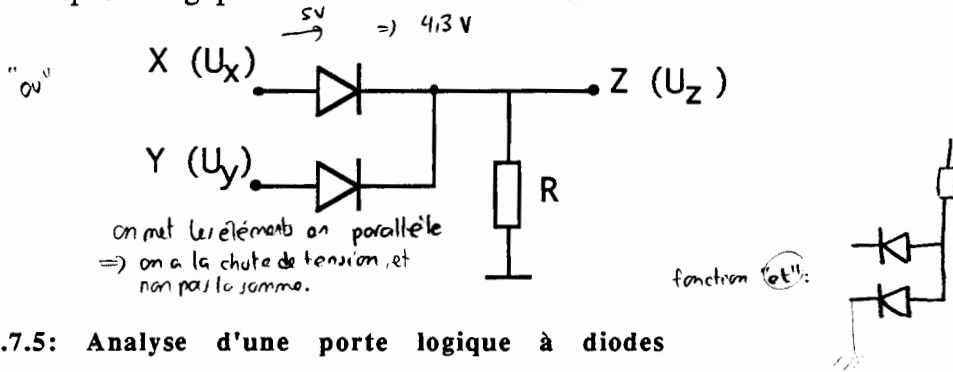
Le chapitre 7 de l'ouvrage "Électronique", [5] est consacré à l'étude détaillée des technologies logiques. Ici, on montre une logique à diodes, une logique à transistors bipolaire et un étage de sortie à transistors MOS à titre d'illustration générale. Quelques caractéristiques de circuits intégrés logiques sont présentées.

Idéalement, la valeur logique "0" s'incarne électroniquement en une tension de 0 Volt, et la valeur logique "1" en une tension de +Vcc, soit le niveau de l'alimentation.

XII.1.1 La logique à diodes

Elle utilise ces éléments passifs pour réaliser les fonctions logiques précitées. Cette technologie n'est (presque) plus utilisée.

L'analyse du dispositif logique à diodes suivant est laissé en exercice:

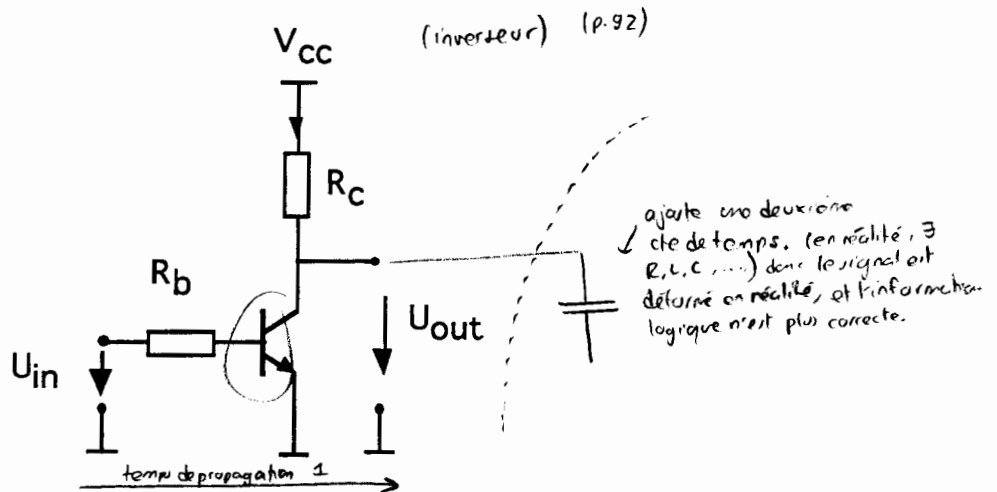


EXO XII.7.5: Analyse d'une porte logique à diodes

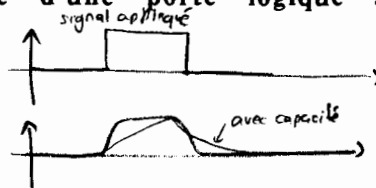
XII.1.2 La logique à transistors bipolaires

Elle porte le nom générique de *logique TTL*. Elle fonctionne normalement sous une tension d'alimentation de 5 V, et est encore très utilisée.

On invite l'étudiant à analyser l'inverseur logique à transistor bipolaire suivant:



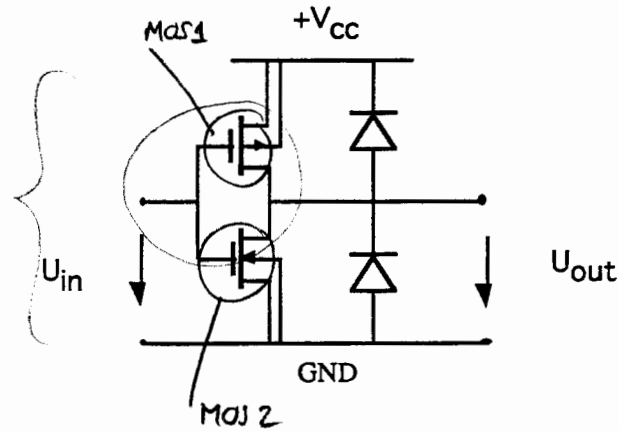
EXO XII.7.6: Analyse d'une porte logique à transistor bipolaire



XII.1.3 La logique à transistors MOS

Elle porte ce nom générique (MOS, CMOS, HCMOS,...). Elle est généralement plus lente que la logique bipolaire, mais elle consomme moins de courant sur l'alimentation. (cf. TP). Cette consommation étant due essentiellement aux capacités internes, elle augmente avec la fréquence de travail.

Soit ce montage de base, pour un étage de sortie CMOS:

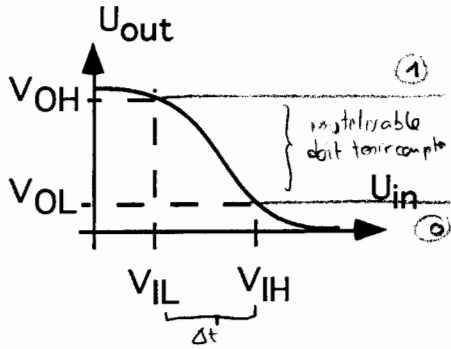


EXO XII.7.7: Analyse d'une porte logique CMOS

XII.2 CARACTÉRISTIQUES IMPORTANTES (CRITÈRES DE SÉLECTION)

XII.2.1 Caractéristiques de transfert

Il va de soi que la caractéristique de transfert en tension ne peut pas être fixée absolument pour un type de circuit donné. On spécifie cette donnée sous forme de tolérances:



Tensions d'entrée :

V_{IL} : U_{in} maximum reconnue comme un "0".

V_{IH} : U_{in} minimum reconnue comme un "1".

Tensions de sortie :

V_{OH} : U_{out} min garantie pour un "1".

V_{OL} : U_{out} max garantie pour un "0".

Marges de bruit:

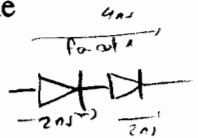
Comme la sortie d'un circuit logique est souvent connectée à l'entrée d'un autre, deux grandeurs pertinentes sont la marge de bruit et la marge de tension parasite que peut supporter la transmission, sans subir d'erreur logique:

$$\text{Marge de bruit pour le niveau haut : } \Delta 1 = V_{OH} - V_{IH}$$

$$\text{Marge de bruit pour le niveau bas : } \Delta 2 = V_{IL} - V_{OL}$$

Ces marges de bruit sont bien sûr spécifiées pour des familles logiques, avec des tensions d'alimentation. L'interfaçage de différentes familles logiques ne peut donc se faire sans précautions particulières quand à ces marges, et plus généralement quand à l'ensemble des caractéristiques des familles concernées.

XII.2.2 Fan-in et fan-out . Exemple: fan-out 1 => accepte que 1 diode en plus

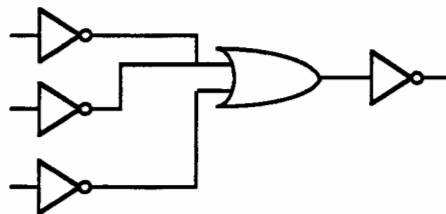


Pour un circuit donné, le fabricant spécifie le nombre de circuits du même type que l'on peut placer en amont et en aval, sans détériorer les performances du système:

Fan-in : nombre maximum de portes pouvant débiter dans le circuit:

Fan-out: nombre maximum de portes pouvant charger le circuit.

Exemple: La porte OU du montage ci-dessous est chargée par deux portes et charge une seule porte:



Remarquons que les sorties de inverseurs mises ensembles doivent être à collecteur ouvert, sinon on assiste à des court-circuits ou des indéterminations.

XII.2.3 Puissance dissipée

Que ce soit pour les circuits logiques ou analogiques, intégrés ou pas, la puissance dissipée est toujours un paramètre important.

* L'alimentation des circuits doit être capable de débiter le courant nécessaire.

Exemple: un système logique consomme en moyenne 100 mA sous une tension d'alimentation de 5 V. Quelle est la puissance moyenne nécessaire au fonctionnement du système ? Combien de temps une batterie de 5V spécifiée 1 A h (Ampère fois heure) peut-elle remplir son rôle ?

* Le circuit qui est le siège de l'échauffement par effet Joule doit être capable d'évacuer la chaleur, pour maintenir une température de fonctionnement acceptable.

On définit le concept de *résistance thermique*:

$$T_{\text{semiconducteur}} = T_{\text{ambiante}} + R_{\text{th}} \cdot P_{\text{Joule}}$$

$T_{\text{semiconducteur}}$: Température de l'élément dissipateur ($^{\circ}\text{C}$)

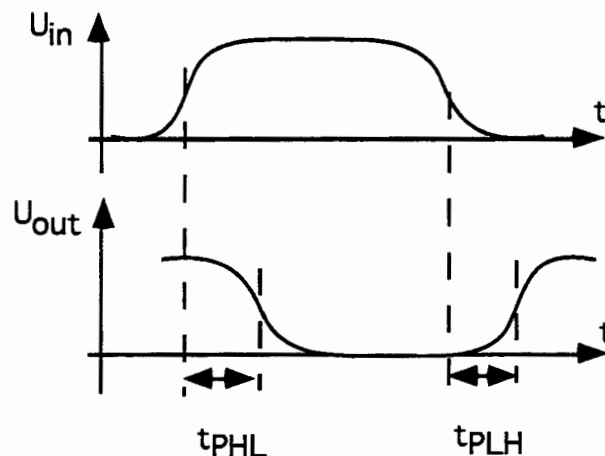
T_{ambiante} : Température ambiante ($^{\circ}\text{C}$)

P_{Joule} : Puissance dissipée (W)

R_{th} : Résistance thermique, décrivant l'écoulement statique de chaleur ($^{\circ}\text{C/W}$)

XII.2.4 Délais de propagation par porte

Le signal de sortie d'une porte logique accuse un certain retard par rapport à la transition du signal d'entrée. Ce retard est lié à divers phénomènes dynamiques, et les fabricants spécifient les délais de propagation en mesurant les signaux à mi-tension.



On définit le temps de propagation t_{PD} comme la moyenne de ces deux temps:

$$t_{PD} = \frac{1}{2}(t_{PHL} + t_{PLH})$$

\Rightarrow donne la fréquence maximale avec laquelle on peut utiliser l'appareil

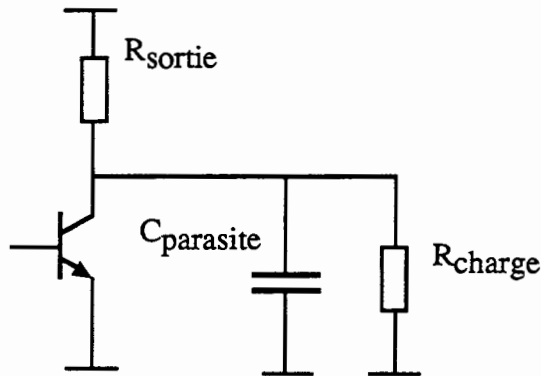
$$\Rightarrow \nu = \frac{1}{T}$$

ceci car dans l'intervalle on ne peut pas savoir si on a (1) ou (0)

XII.2.5 Produit puissance-délai

Au sein d'une famille logique, on peut dans certaines limites, concevoir des circuits à faible délai au prix d'une consommation élevée, ou réciproquement on peut diminuer leur consommation, si on se contente de rapidités moindres.

Remarquons que l'apparition de ce type de compromis est typique en électronique, où des impédances de sortie plutôt résistives se combinent avec des capacités parasites peu contrôlées: si on diminue la résistance de sortie R , le produit RC diminue, donc la rapidité du circuit augmente. Cela peut néanmoins se faire par le biais d'une augmentation de courant, donc de consommation.



Revenons à nos circuits logiques, où pour une famille logique, le **produit Puissance * Délai** est constant sur une certaine plage de puissance et/ou de délais. On peut donc utiliser ce produit comme un facteur de mérite qui caractérise la famille logique. Par exemple, il vaut:

100 pJ	pour le TTL standart
4 pJ	pour le TTL - ALS
1 pJ	pour le CMOS

EXO XII.7.8 Comparaison de fiches techniques

XII.7. EXERCICES

Exercice XII.7.1

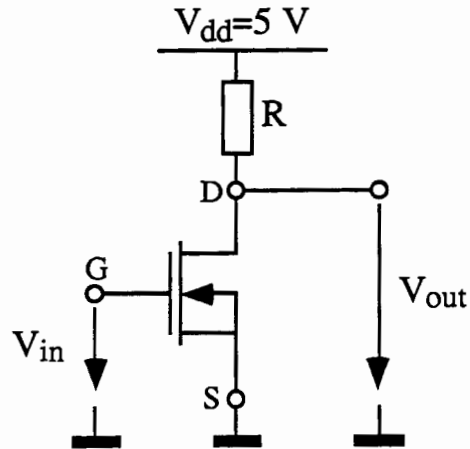
Soit un transistor MOS à canal N avec une tension de seuil $V_T = 2$ V et une polarisation $V_S = 0$, $V_D = V_G = 3$ V. Dans ces conditions, on mesure un courant de drain $I_D = 1$ mA.

Répondre aux questions suivantes en utilisant le modèle simplifié du MOS (sans effet de substrat).

- Le point de fonctionnement est-il dans la zone de conduction (non saturée) ou dans la zone saturée des caractéristiques ?
- Que devient le courant I_D si la polarisation est portée à $V_D = 5$ V et $V_G = 4$ V ?
- Quelle est la résistance du canal R_{on} autour de $V_{DS} = 0$ V lorsque $V_G = 4$ V ?

Exercice XII.7.2

Soit le circuit suivant:

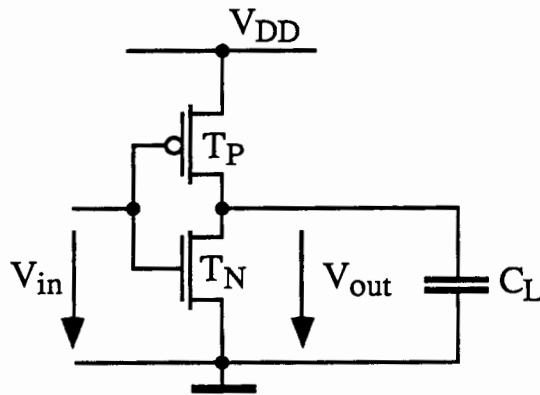


Caractéristiques du MOST : $V_T = 1 \text{ V}$, $\beta = 0.2 \text{ mA/V}^2$

- Pour $R = 10 \text{ k}\Omega$, calculer la tension V_{out} pour les deux valeurs de la tension d'entrée $V_{in} = 0 \text{ V}$ et $V_{in} = 5 \text{ V}$.
- Déterminer la valeur minimum de R pour que V_{out} soit inférieur à 1 V lorsque $V_{in} = 5 \text{ V}$.

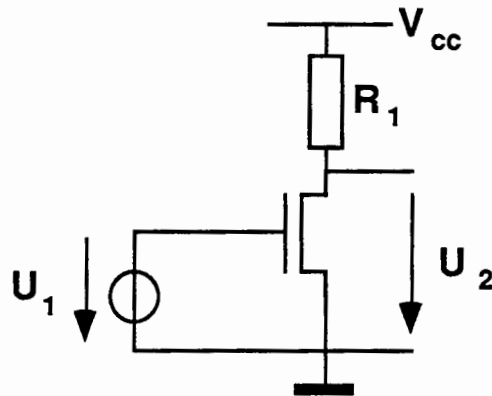
Exercice XII.7.3

Décrire qualitativement le fonctionnement de l'inverseur CMOS suivant:



Exercice XII.7.4

Soit le montage de la figure suivante utilisant un transistor MOS.

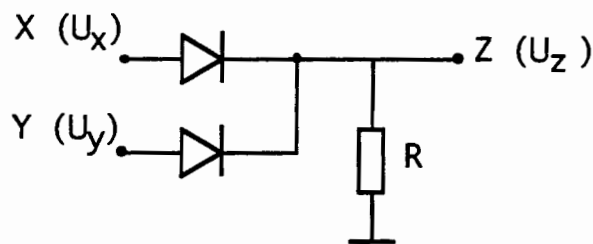


- 1/ Pour quelles valeurs de U_1 le transistor ne conduit-il pas?
- 2/ Quelle est la condition sur U_2 pour que le MOS soit en saturation?
- 3/ Déterminer dans un plan (U_1 ; U_2) les différentes zones de fonctionnement du transistor.
- 4/ Calculer dans chaque zone, la tension $U_2 = f(U_1)$ et la représenter sur un diagramme en fonction de U_1 .

Application numérique: $V_T = 0.5 \text{ V}$ $R_1 = 10 \text{ kW}$
 $K = 50 \text{ mA/V}^2$ $V_{CC} = 4.5 \text{ V}$

Exercice XII.7.5: Analyse d'une porte logique à diodes

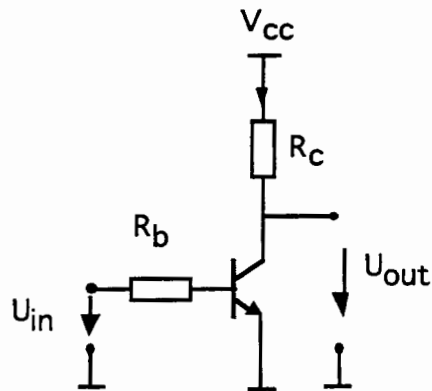
Soit la porte logique à diodes:



- Examinez la table de vérité de ce circuit logique à diodes.
- Quelle est son expression logique ?
- Évaluez sa caractéristique de transfert X-Z, avec $Y=0$.

Exercices XII.7.6: Analyse d'une porte logique à transistor bipolaire

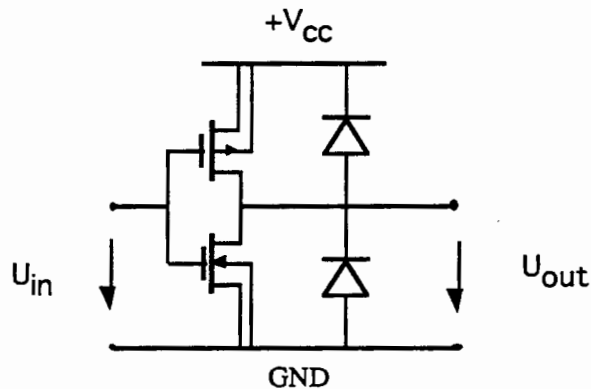
Soit l'inverseur logique à transistor bipolaire:



- Examinez le fonctionnement de l'inverseur logique à transistor bipolaire, dans ce montage.
- Voir le travail pratique de laboratoire consacré aux transistors bipolaires.

Exercice XII.7.7: Analyse d'une porte logique CMOS

Soit ce montage de base, pour un étage de sortie CMOS:



- Décrire le fonctionnement du circuit.
- Quelle est la fonction principale des diodes de sortie ?
- A quoi bon un étage de sortie ?

Exercice XII.7.8 Comparaison de fiches techniques

- Étudiez et comparez les fiches techniques d'inverseur MOS et TTL.

Leçon XIII: SYSTÈMES LOGIQUES COMBINATOIRES

Cette leçon ne peut avoir l'ambition de se substituer à un cours de systèmes logiques; on y présente rapidement les codes binaires, Gray et BCD, à titre d'introduction générale. On rappelle les opérations et notations logiques de base, ainsi que les instruments que sont les théorèmes, la table de vérité et la table de Karnaugh. Nous conseillons vivement au lecteur un ouvrage sur les systèmes logiques: "Analyse et synthèse des systèmes logiques", [6].

PLAN DE LA LEÇON XIII:

- XIII.1. Quelques codes
 - XIII.2. Opérations logiques de base
 - XIII.3. Logique combinatoire
 - XIII.4. Exercices
-

XIII.1 QUELQUES CODES

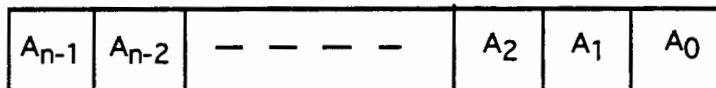
Il existe naturellement une grande variété de codes et de systèmes de codage, allant du binaire pur que nous évoquons ici aux codes sophistiqués utilisés en transmission de signaux permettant de détecter et minimiser les erreurs de transmission.

XIII.1.1 Code binaire pur

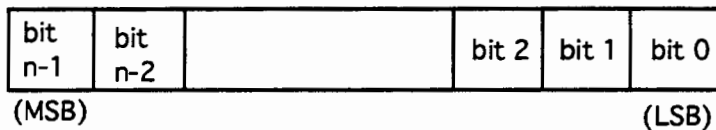
* Le binaire pur est le codage en base deux:

$$\text{nombre} = A_0 \cdot 2^0 + A_1 \cdot 2^1 + A_2 \cdot 2^2 + \dots + A_{n-1} \cdot 2^{n-1}$$

* Représentation graphique d'un mot binaire:



ou bien:



* Taille usuelle des mots binaires:

Taille du mot	Valeurs en binaire
8 bits	0 - 255
16 bits	0 - 65535 (64 K)
32 bits	0 - 4294967295 (4096 M)

Note: En informatique, 1 K = 1024 .

* Notation hexadécimale:

Avec un mot de 4 bits, on peut compter de 0 à 15, ce que l'on peut noter : 0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F. La notation hexadécimale correspond à l'utilisation de la base 16. Par exemple: 50E6 (hex) = 20710 (déc)

* Exemple: comptage sur 4 bits:

Nombre décimal	Nombre binaire pur	Nombre hexadécimal
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	2
3	0 0 1 1	3
4	0 1 0 0	4
5	0 1 0 1	5
6	0 1 1 0	6
7	0 1 1 1	7
8	1 0 0 0	8
9	1 0 0 1	9
10	1 0 1 0	A
11	1 0 1 1	B
12	1 1 0 0	C
13	1 1 0 1	D
14	1 1 1 0	E
15	1 1 1 1	F

XIII.1.2 Code en complément à deux

Ce code sert à représenter des nombres négatifs. Pour cela on utilise le bit de poids fort pour le signe: "1" pour les nombres négatifs et "0" pour les nombres positifs. Le codage suivant permet d'additionner des nombres quelconques, dans les limites de tailles des mots:

Nombre décimal	Codage en complément à deux
+3	0 1 1
+2	0 1 0
+1	0 0 1
0	0 0 0
-1	1 1 1
-2	1 1 0
-3	1 0 1
-4	1 0 0

On a pour le codage:

$$\text{nombre} = +\bar{A}_{n-1} (A_0 \cdot 2^0 + A_1 \cdot 2^1 + A_2 \cdot 2^2 + \dots + A_{n-2} \cdot 2^{n-2}) \quad (\text{cas positif})$$

$$-A_{n-1} (A_0 \cdot 2^0 + A_1 \cdot 2^1 + A_2 \cdot 2^2 + \dots + A_{n-2} \cdot 2^{n-2} + 1) \quad (\text{cas négatif})$$

Exemple: Additionnons en complément à deux: $-3+2=?$

$$\begin{array}{r} 101 \\ 010 \\ \hline 111 \end{array} \rightarrow -1$$

XIII.1.3 Code Gray

Il existe des systèmes, où l'on a avantage à ce que d'une valeur à l'autre, il n'y ait qu'un seul bit qui varie. Ce n'est pas le cas du binaire, où pour passer de 1 à 2 par exemple, deux bit changent. Si un capteur produit une information codée, les transitions ne sont pas simultanées et on peut lire : 1 (001) ->3 (011) ->2 (010) ou bien:

1 (001) ->0 (000) ->2 (010).

D'où le code Gray:

Nombre décimal	Codage Gray
0	0 0 0
1	0 0 1
2	0 1 1
3	0 1 0
4	1 1 0
5	1 0 0
6	1 0 1
7	1 1 1

XIII.1.4 Code BCD.

Le code binaire codé décimal (Binary Coded Decimal) consiste à coder en binaire chaque digit du code décimal. Par exemple, pour coder le nombre 529:

$$529 = 5 \cdot 100 + 2 \cdot 10 + 9 \text{ (décimal)} = 0101 \ 1010 \ 1001 \text{ (BCD)}$$

Ce code est pratique pour afficher en décimal des nombres. Voir l'exercice plus loin.

XIII.2 OPÉRATIONS LOGIQUES BOOLÉENNES DE BASE

XIII.2.1 Opération **ET** (AND)

Symbole électronique:

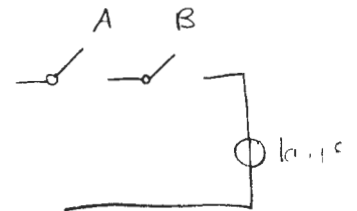


Écriture:

$$c = a \cdot b$$

Fonction logique:

a	b	c
0	0	0
0	1	0
1	0	0
1	1	1



La porte ET détecte le cas où toutes ses entrées sont à l'état haut (1).

XIII.2.2 Opération OU (OR)

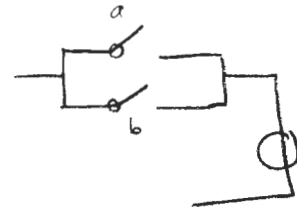
Symbole électronique:



Écriture : $c = a + b$

Fonction logique:

a	b	c
0	0	0
0	1	1
1	0	1
1	1	1



La porte OU détecte le cas où toutes ses entrées sont à l'état bas (0).

XIII.2.3 Opération NON (NOT)

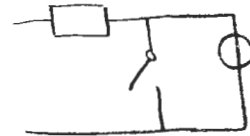
Symbole électronique:



Écriture: $b = \bar{a}$

Fonction logique:

a	b
0	1
1	0



XIII.2.4 Opération NON-ET (NAND)

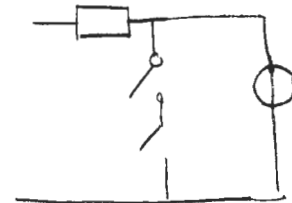
Symbole électronique:



Écriture: $c = \overline{a \cdot b} = \bar{a} + \bar{b}$
(inverse et somme)

Fonction logique:

a	b	c
0	0	1
0	1	1
1	0	1
1	1	0



XIII.2.5 Opération NON-OU (NOR)

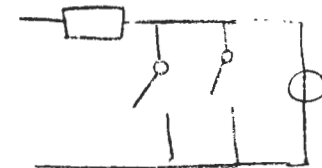
Symbole électronique:



Écriture $c = \overline{a + b}$
 $(a \cup b)' = \bar{a} \cap \bar{b}$

Fonction logique:

a	b	c
0	0	1
0	1	0
1	0	0
1	1	0



XIII.2.6 Opération OU EXCLUSIF (XOR)

Symbole électronique:



Écriture: $c = a \oplus b$

Fonction logique:

a	b	c
0	0	0
0	1	1
1	0	1
1	1	0

La porte OU EXCLUSIF détecte le cas où ses entrées sont différentes.

XIII.3 LOGIQUE COMBINATOIRE

XIII.3.1 Définition

Un système logique est dit *combinatoire* si l'état de sa sortie ne dépend que de l'état de son entrée. Le système combinatoire ne doit donc pas présenter de réactions de la sortie sur l'entrée, de sorte à ce que l'état de la sortie ne dépende pas de l'histoire du système.

XIII.3.2 Table de vérité

A tout instant, on peut représenter logiquement un système combinatoire en faisant une liste des entrées et des sorties: la table de vérité.

Par exemple, la table de vérité du décodage gray-binaire sur 3 bits est donnée par:

Code gray (entrée)	Code binaire (sortie)
000	000
001	001
011	010
010	011
110	100
100	101
101	110
111	111

XIII.3.3 Table de Karnaugh

Cette forme de représentation est utilisée pour trouver une expression simplifiée d'une fonction logique. Dans le cas d'un système à quatre variables d'entrée, on crée un tableau à 2 x 4 entrées, puis on regroupe les termes adjacents.

Par exemple, soit la table de vérité suivante:

ABCD	E
0000	1
0001	1
0010	0
0011	0
0100	0
0101	1
0110	0
0111	1
1000	0
1001	0
1010	0
1011	1
1100	0
1101	1
1110	0
1111	1

La résolution par Karnaugh donne:

		AB				
CD \		00	01	11	10	
00		1	0	0	0	
01		1	1	1	0	
11		0	1	1	1	
10		0	0	0	0	
		E				

Notez que les lignes 2,3 et les colonnes 2,3 présentent une variable. C'est ainsi que le regroupement du centre s'écrit: $B \cdot D$. (on écrit les variables constantes)

Le regroupement d'en haut à droite représente une simplification moindre: $\bar{A} \cdot \bar{B} \cdot \bar{C}$.

On obtient pour l'expression de la sortie : $E = B \cdot D + \bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C \cdot D$

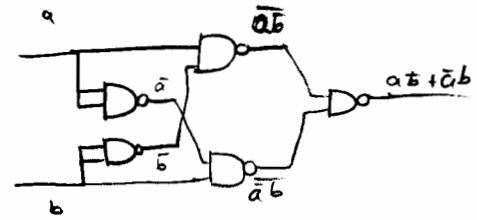
XIII.3.4 Théorèmes logiques

Les théorèmes suivants permettent d'effectuer des calculs dans l'algèbre de Boole:

- * Théorèmes de *commutativité*: $a \cdot b = b \cdot a$ $a + b = b + a$
- * Théorèmes *d'idempotence*: $a \cdot a = a$ $a + a = a$
- * Théorèmes des *constantes*:
 $a \cdot 0 = 0$ $a + 0 = a$
 $a \cdot 1 = a$ $a + 1 = 1$
- * Théorèmes de *complémentation*: $a \cdot \bar{a} = 0$ $a + \bar{a} = 1$
- * Théorèmes de *distributivité*:
 $a \cdot (b + c) = a \cdot b + a \cdot c$
 $(a + b) \cdot (a + c) = a + b \cdot c$
- * Théorèmes de *De Morgan*:
 $\overline{a \cdot b} = \bar{a} + \bar{b}$ $(A \cap B)^c = A^c \cup B^c$
 $\overline{a + b} = \bar{a} \cdot \bar{b}$

XIII.4 EXERCICES

(voir aussi les travaux pratiques de laboratoire)

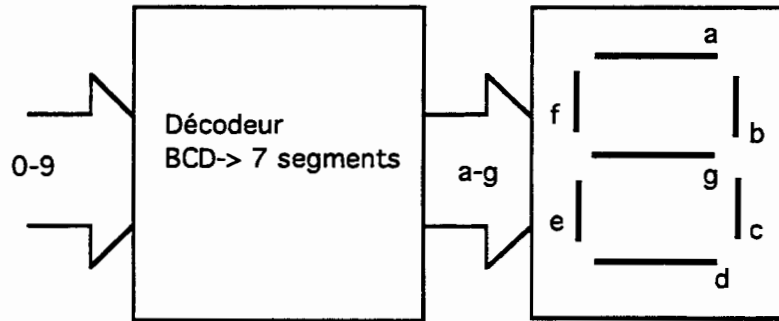


Exercice XIII.4.1: Utilisation de portes logiques

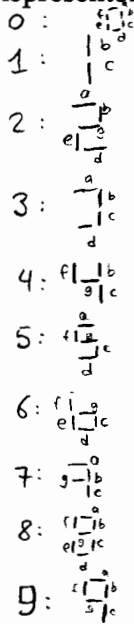
Réalisez le fonction OU EXCLUSIF à l'aide de portes NON-ET uniquement.

Exercice XIII.4.2: Utilisation de la méthode de Karnaugh

- Remplissez la table de vérité d'un décodeur à 7 segments:



- En utilisant Karnaugh, exprimez ce décodeur par une fonction logique .
- Représentez ce décodeur à l'aide des portes logiques standards.



les seules sorties pour lesquelles a a 1 sont :

	g	f	e	d	c	b	a	sol.	nb
0	1	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	0	1	1
2	1	0	1	1	0	1	1	1	2
3	0	0	0	1	1	1	1	1	3
4	1	1	0	0	1	1	0	1	4
5	1	1	0	1	1	0	1	1	5
6	1	1	1	1	1	0	0	1	6
7	1	0	0	0	1	1	1	1	7
8	1	1	1	1	1	1	1	1	8
9	1	1	0	0	1	1	1	1	9
								1	
								1	

Leçon XIV: SYSTÈMES LOGIQUES SÉQUENTIELS

Cette leçon a pour but de présenter brièvement un autre aspect de la logique booléenne, qui n'est pas uniquement combinatoire: la logique séquentielle. Celle-ci est illustrée sur des exemples simples mais pertinents pour aborder les systèmes complexes que sont les ordinateurs électroniques.

PLAN DE LA LEÇON XIV:

XIV.1. Introduction

XIV.2. Systèmes synchrones et asynchrones

XIV.3. Exemple de système séquentiel synchrone

XIV.4. Quelques fonctions logiques séquentielles

XIV.5. Exercices

XIV.1 INTRODUCTION

La *logique séquentielle* se distingue de la logique combinatoire par le fait que dans cette dernière, les sorties ne réagissent qu'aux entrées, sans que le système ne soit sensible à l'histoire de ces entrées, ce qui est le cas en logique séquentielle. Il faut alors toujours prendre en compte les séquences d'entrée et de sortie du système que l'on veut analyser. Cet état de fait rend l'analyse et la synthèse de systèmes séquentiels plus pointue, et on consultera à cette fin "Analyse et synthèse des systèmes logiques", [6].

Pour ce qui est de l'accès à l'informatique, le lecteur trouvera un cheminement pédagogique et rigoureux de l'électronique à la microinformatique dans "Systèmes microprogrammés, une introduction au magique", [7], ouvrage soutenant un enseignement à l'EPFL que nous recommandons vivement aux étudiants.

XIV.2 SYSTÈMES SYNCHRONES ET ASYNCHRONES

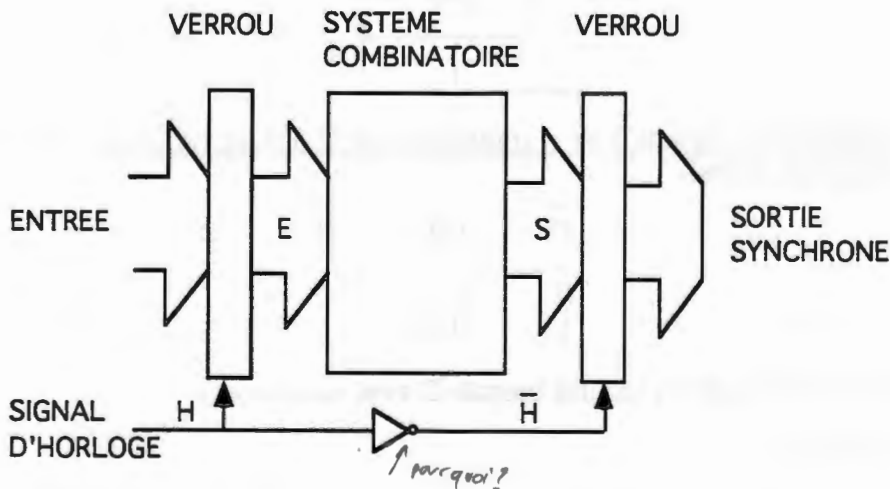
Il y a une autre distinction importante qu'il nous reste à présenter: les systèmes logiques peuvent être *synchrones* ou *asynchrones*.

- *Système asynchrone* : si on laisse un système électronique évoluer de lui-même, on disposera de l'information en sortie lorsque tous les délais électro-physiques se seront écoulés. Par exemple, le lecteur peut consulter des fiches techniques des portes logiques pour se faire une idée des ordres de grandeurs de ces délais. Dans ce cas, le système est asynchrone: le temps est continu car la sortie peut être lue n'importe quand.

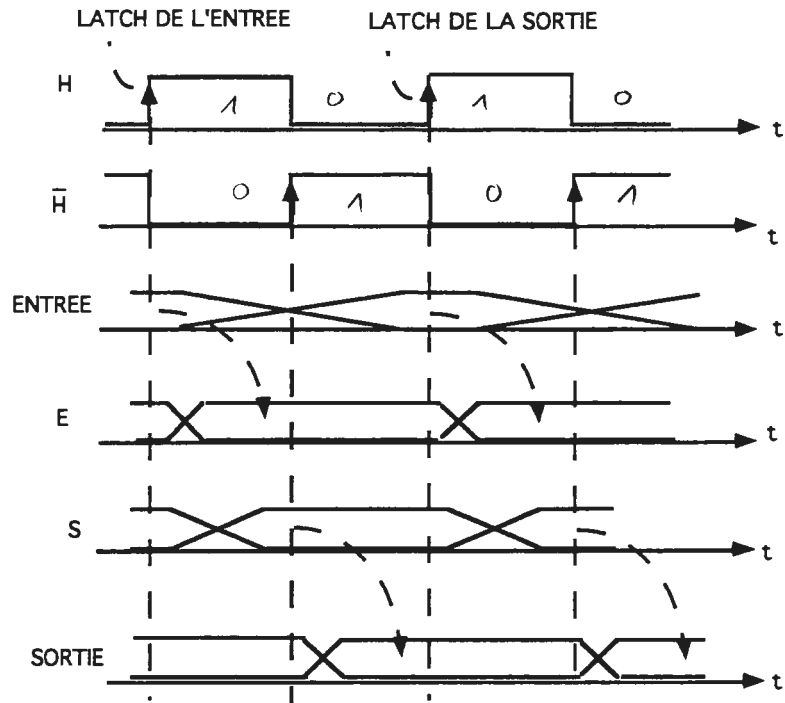
- *Système synchrone* : Dans ce cas, une horloge électronique cadence la marche du système, et on connaît les instants où l'on peut lire les sorties, on connaît le temps de réponse d'un système.

XIV.3 EXEMPLE DE SYSTÈME SÉQUENTIEL SYNCHRONE

Dans le système schématisé ci-dessous, un verrou d'entrée bloque les données binaires en entrée. Ces données sont traitées par un décodeur travaillant de manière asynchrone et combinatoire. Les sorties asynchrones du décodeur sont finalement resynchronisées sur l'horloge par le verrou de sortie.



On représente le timing graphiquement de la sorte:

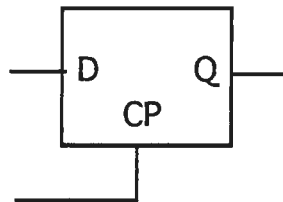


EXO XIV.5.1 Timing d'un système synchrone

XIV.4 QUELQUES FONCTIONS SÉQUENTIELLES

* Les verrous (latches)

L'élément verrou ou bascule D permet de mémoriser un bit:



La bascule présente la fonction de recopier l'entrée D à la sortie Q, au flanc montant de l'entrée CP (Clock Pulse):

entree D	CP	sortie Q
0	0->1	0
1	0->1	1

Exemple de circuit: le HC74 (double bascule D avec set et reset)

* Les registres

Un assemblage de verrou permet d'obtenir une mémoire d'un mot, appelée registre. L'accès du registre peut être parallèle, série. Dans l'exemple de la page ***, il s'agit de registres à entrée parallèle et sortie parallèle.

Exemple de circuit: le 74164 (8 bit entrée série, sortie parallèle)

*** Les compteurs**

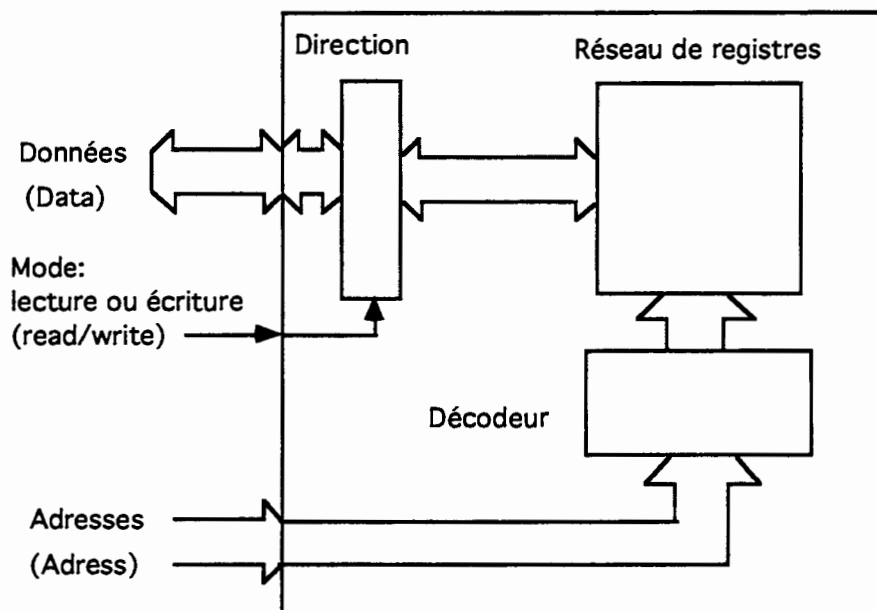
Les compteurs sont également réalisés à l'aide d'assemblage de verrou.

Exemple de compteur: le HCT 4516 (compteur binaire up/down)

*** Les mémoires**

Une mémoire est constituée d'un ensemble de registres, muni d'un système d'adressage permettant de stocker ou accéder à des informations.

Exemple de mémoire: FCB61C65 de Philipps. Voir la fiche technique en annexe.



Extrait de la fiche technique de la mémoire FCB61C65 de Philips.

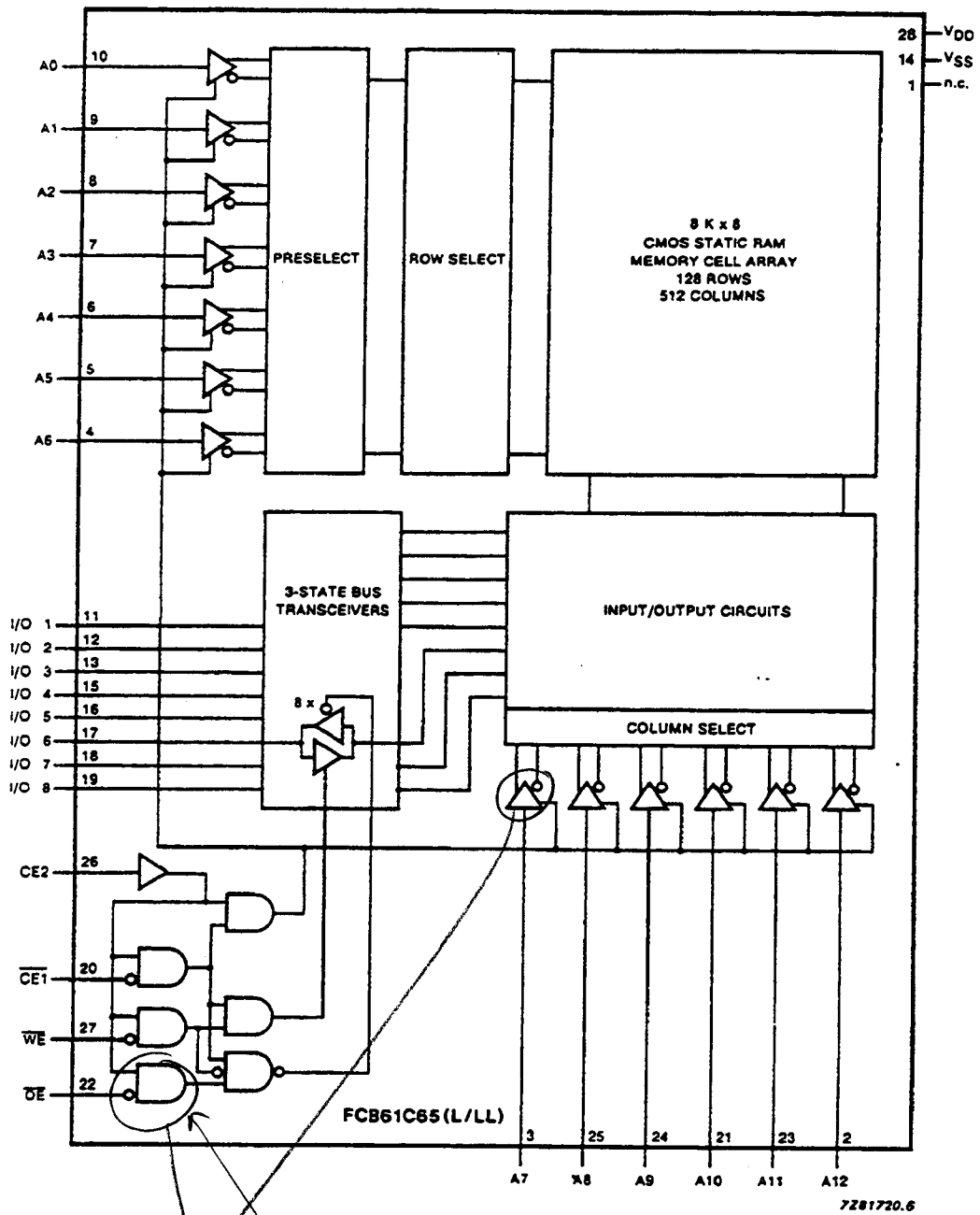
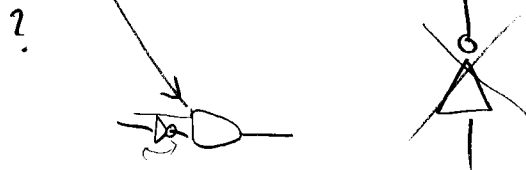


Fig.1 Block diagram.



* Les microprocesseurs

Le microprocesseur, dans sa forme la plus dépouillée, est constitué:

- d'un compteur de programme (PC),
- d'une mémoire (MEM),
- d'une unité arithmétique et logique (ALU),
- d'interfaces d'entrée et sortie (E/S),
- de connections entre ces sous-systèmes (BUS).

Extrait de la fiche technique du microprocesseur 68HC11 de Motorola:

M68HC11

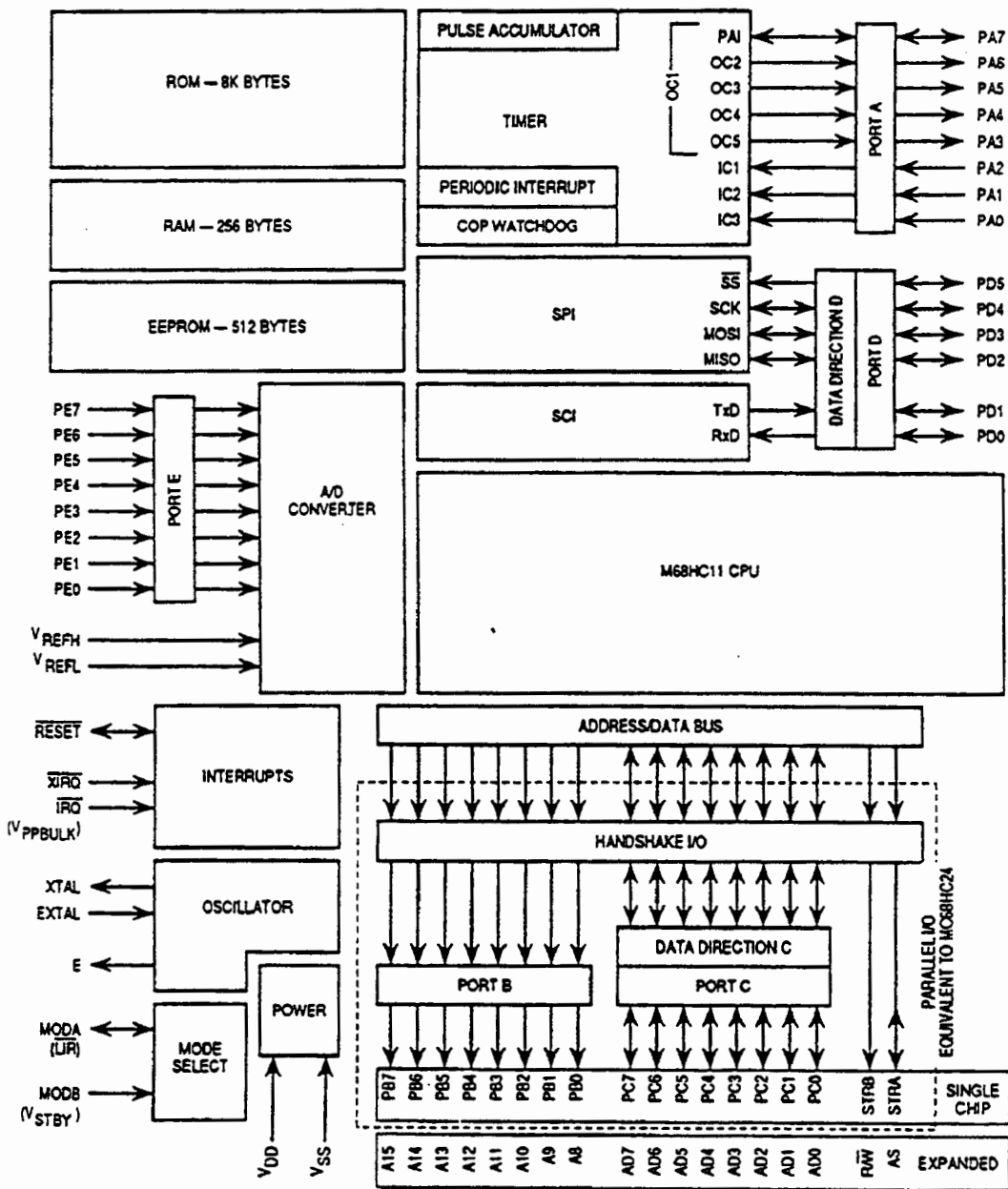


Figure 1-1. Block Diagram

XIV.5 EXERCICES

Exercice XIV.5.1 Timing d'un système synchrone

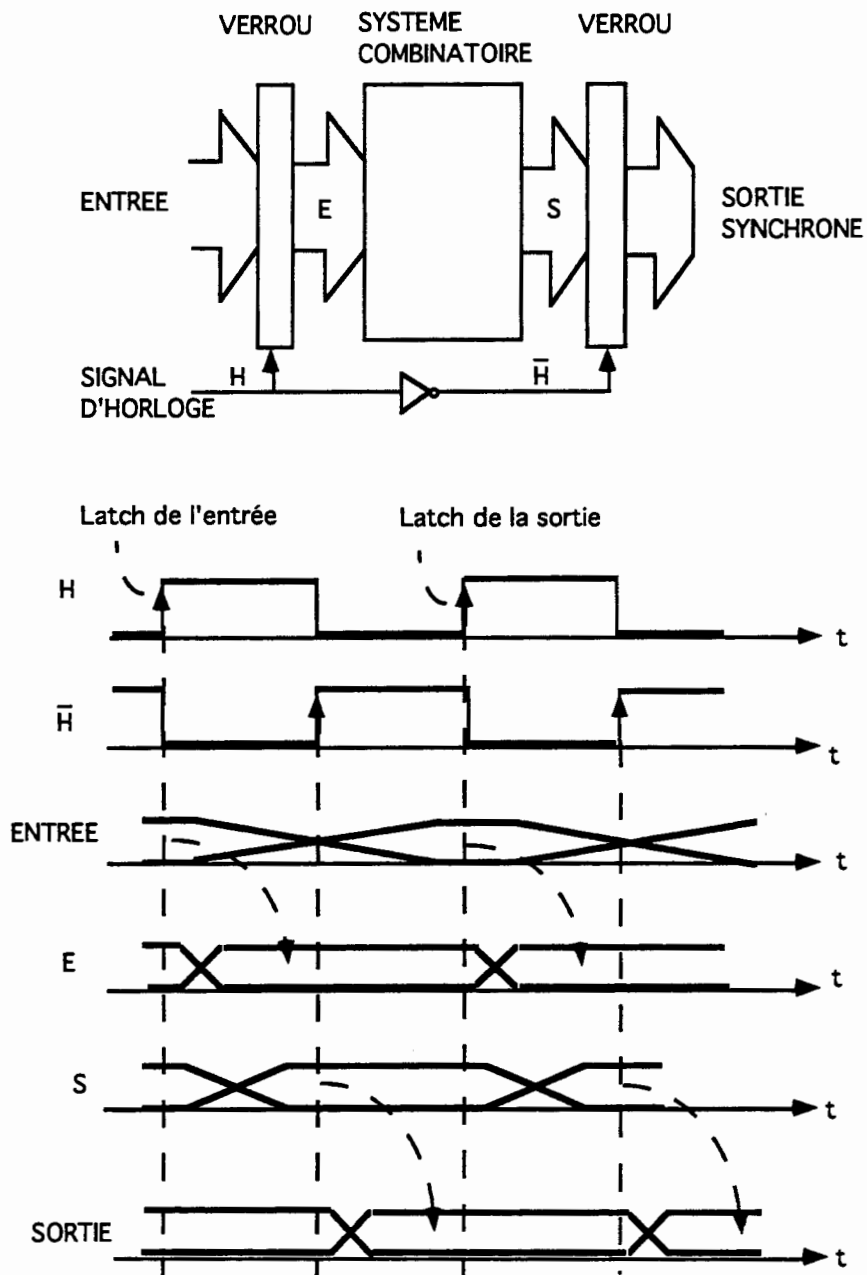
Dans le système schématisé ci-dessous, un verrou d'entrée bloque les données binaires en entrée. Ces données sont traitées par un décodeur travaillant de manière asynchrone et combinatoire. Les sorties asynchrones du décodeur sont finalement resynchronisées sur l'horloge par le verrou de sortie.

- Discutez:

* une fréquence d'horloge possible, compte tenu d'une technologie HCMOS et du décodeur ayant au maximum 20 portes logiques en série (cf. fiches techniques).

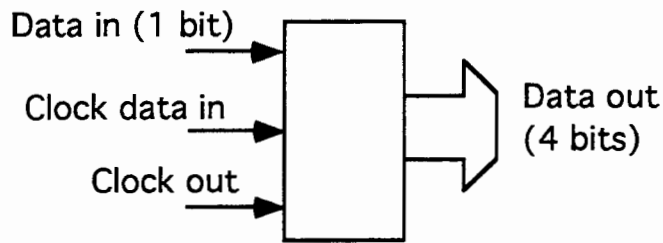
* les divers délais de réponses visualisables sur le timing. Quand dispose-t-on de la sortie?

* une spécification en terme de timing et de fréquence d'horloge du système verrou-décodeur-verrou.



Exercice XIV.5.2 Conception d'un registre

- Concevez un registre 4 bits rudimentaire, à entrée série et sortie parallèle, en utilisant des portes et des bascules D.



"Clock data in" doit valider le bit série, "Clock out" doit valider le mot de 4 bits.

- Comparez avec la spécification du HCT 164.

Exercice XIV.5.3 Mémoire électronique

Une mémoire travaille sur un bus de données de 8 bits, et un bus d'adresses de 13 bits.

- Quelle est sa capacité en Kilo-octets ?

- Étudiez la fiche technique du circuit mémoire FB 61C65. Concevez les deux mémoires suivantes:

- a) 16 bits donnée, 12 bits adresse
- b) 8 bits donnée, 14 bits adresse (indication: utilisez le MSB de l'adressage pour sélectionner la mémoire désirée)

Exercice XIV.5.4 Mémoire comme décodeur

On veut utiliser la mémoire 8 x 13 bits FCB 61C65 pour réaliser un décodeur Gray-binaire 5 bits. Proposez un système synchrone sur le modèle présenté en exercice.

Leçon XV: CONVERTISSEURS NUMÉRIQUE / ANALOGIQUE

Cette leçon présente quelques principes de conversion numérique / analogique ainsi que les caractéristiques typiques liées à des réalisations pratiques.

PLAN DE LA LEÇON XV:

XV.1. Principes de conversion numérique / analogique

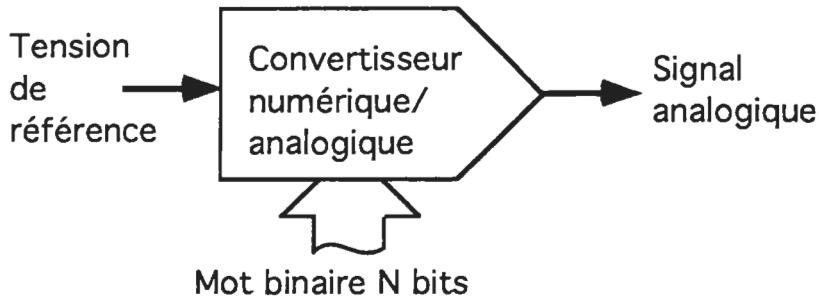
XV.2. Réalisations pratiques

XV.3. Exercices

XV.1 PRINCIPES DE CONVERSION NUMÉRIQUE / ANALOGIQUE

XV.1.1 Convertisseur numérique / analogique

On dispose d'un mot numérique de n bits, que l'on voudrait "convertir" en une tension analogique, en considérant un code binaire:

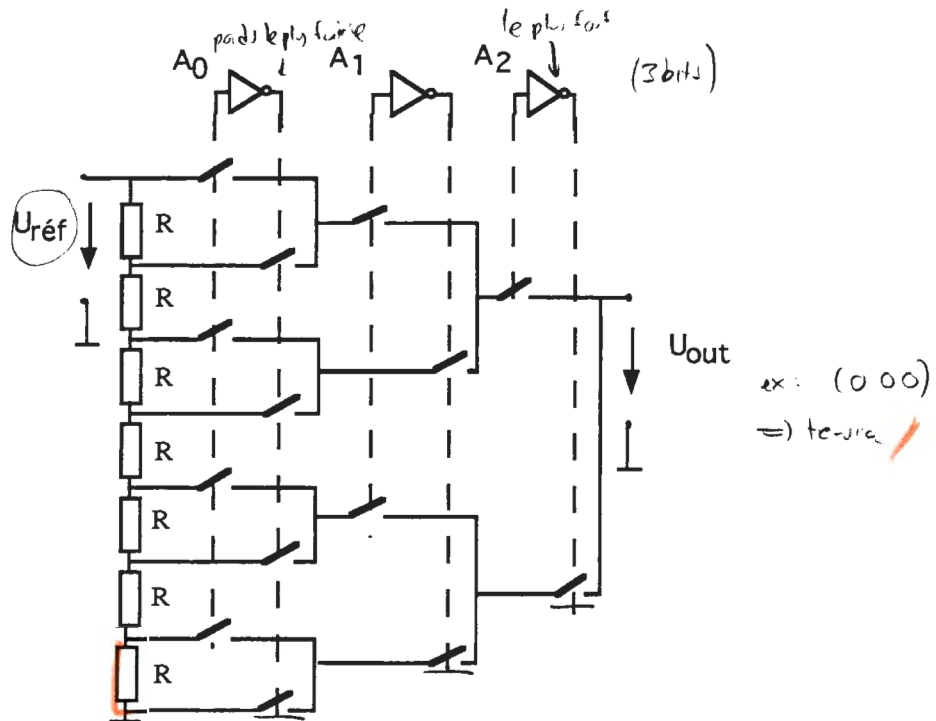


La tension de sortie est rapportée à une autre tension, dite de référence:

$$U_{out} = U_{réf} \cdot \frac{A_0 \cdot 2^0 + A_1 \cdot 2^1 + A_2 \cdot 2^2 + \dots + A_{n-1} \cdot 2^{n-1}}{2^n - 1}$$

XV.1.2 Le convertisseur potentiométrique

Le principe de conversion est le suivant:

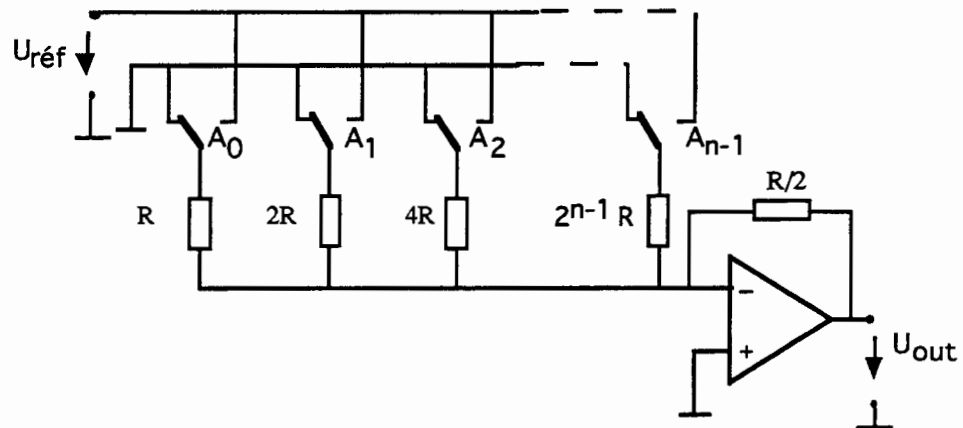


L'inconvénient de ce type de convertisseur est le grand nombre de composants. Les interrupteurs sont réalisés en technologie MOS.

EXO XV.3.1 : CONVERTISSEUR POTENTIOMÉTRIQUE

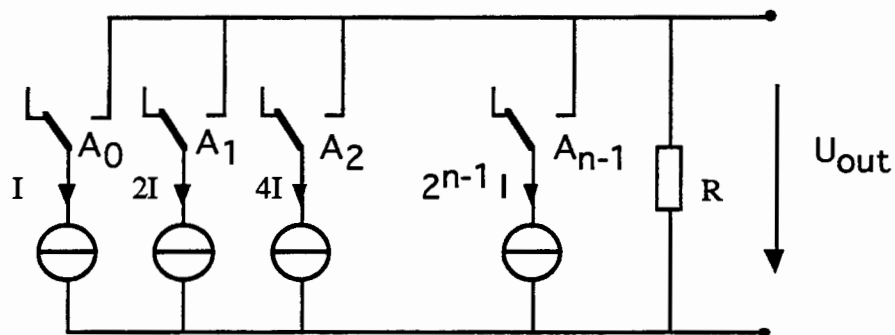
XV.1.3 Le convertisseur à résistances pondérées

L'amplificateur opérationnel est monté ici en sommateur pondéré par les résistances: (potentiométrique)



Ce montage est dit à commutation de tension, similairement on obtient un montage à commutation de courant.

XV.1.4 Le convertisseur à sources de courant pondérées



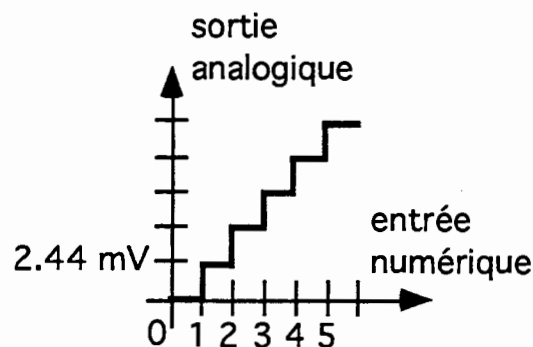
Usuellement, les sources de courant de ces convertisseurs sont réalisés au moyen de transistors bipolaires.

XV.2 RÉALISATIONS PRATIQUES

XV.2.1 Caractéristiques générales des convertisseurs n/a

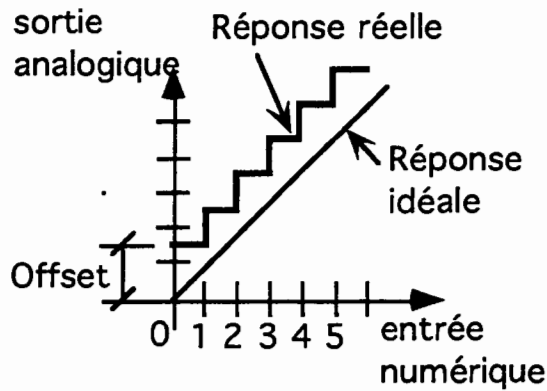
* La **résolution** est donnée par la taille en bits du mot.

Par exemple, un convertisseur de 12 bits avec un tension de référence de 10 V présente une résolution de 2.44 mV.



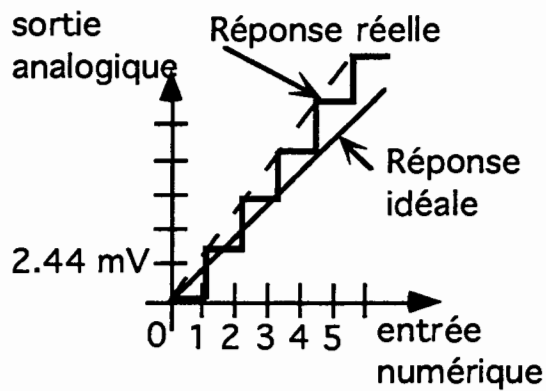
*** L'erreur de décalage (offset)**

Décalage en Volt entre la réponse réelle et la réponse idéale.



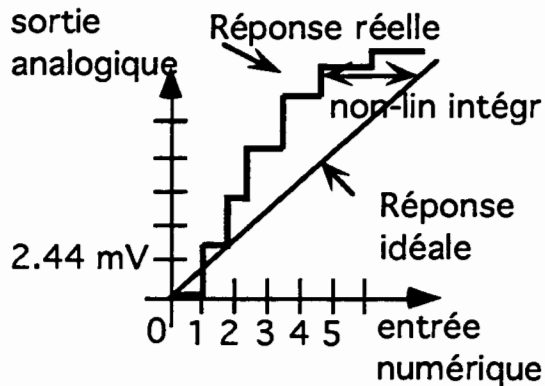
*** L'erreur de gain**

Variation de gain entre le gain réel et le gain idéal.



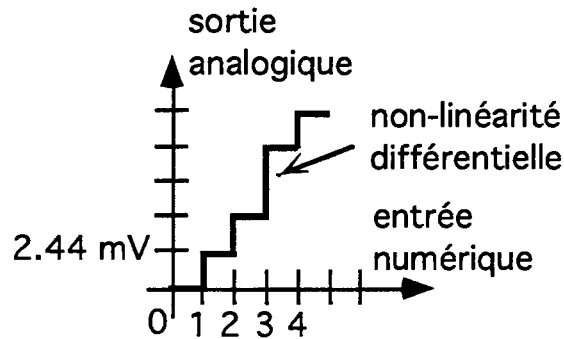
*** La non-linéarité intégrale**

Écart maximal entre la fonction de transfert réelle et idéale.



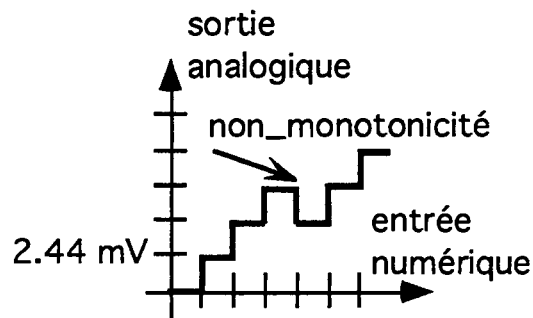
* La non-linéarité différentielle.

Écart maximal entre un pas de quantification réel et le pas correspondant idéal.



* La non-monotonie

Ce défaut peut prendre beaucoup d'importance dans les systèmes bouclés, où une contre-réaction doit être négative. Un convertisseur non-monotone peut causer des instabilités.



XV.2.3 Exemple de convertisseur numérique / analogique: le DAC 800

EXO XV.3.2: RECONNAISSANCE DE PRINCIPE DE CONVERSION

Extrait de la fiche technique du DAC 800:

Typical Applications

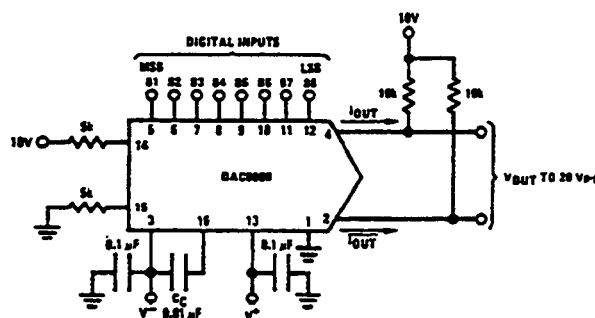


FIGURE 1. ±20 Vp-p Output Digital-to-Analog Converter

EXO XV.3.3 FICHE TECHNIQUE DU DAC 800

XV.3 EXERCICES

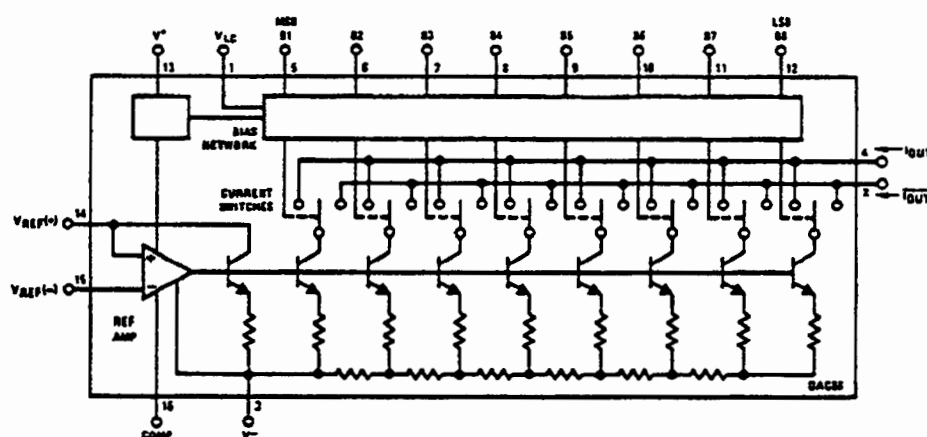
Exercice XV.3.1 : convertisseur potentiométrique

- Pourquoi est-il nécessaire de placer un amplificateur monté en suiveur à la sortie du convertisseur potentiométrique du point XV.1.2 ?

Exercices XV.3.2: Reconnaissance de principe de conversion

- Reconnaissez le type de convertisseur d'après l'extrait de fiche suivant:

Block Diagram



Exercice XV.3.3 Fiche technique du DAC 800

- Étudiez la fiche technique du convertisseur DAC 800.
- Étudiez les applications typiques présentées dans la notice.

Leçon XVI: CONVERTISSEURS ANALOGIQUE / NUMÉRIQUE

Dans cette leçon, on introduit le concept de convertisseur analogique / numérique, une discussion sur la nature des signaux électroniques, ainsi que le théorème d'échantillonnage de Shannon. Ce dernier permet de cerner une limitation physique à la rapidité d'échantillonnage des signaux analogiques. On passe en revue les principaux types de convertisseurs, en discutant leurs performances. Le chapitre 9 de l'ouvrage "Théorie et traitement de signaux", [3] est consacré à la question de l'échantillonnage de signaux électriques.

PLAN DE LA LEÇON XVI:

XV.1. Conversion N / A et signaux électriques

XV.2. Échantillonnage de signaux

XV.3. Principes de conversion

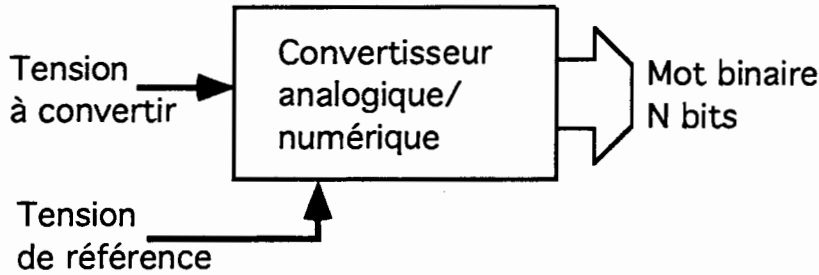
XV.3. Réalisations pratiques de convertisseurs

XV.3. Exercices

XVI.1 CONVERSION N / A ET SIGNAUX ÉLECTRIQUES

XVI.1.1 Le convertisseur N / A

* On dispose d'un signal analogique, dont on voudrait convertir la valeur en un mot numérique, codé en binaire:



* Dans le cas d'un convertisseur dit ratiométrique, le mot binaire en sortie est proportionnel au rapport de la tension d'entrée à une tension de référence:

$$\text{Mot binaire} = \frac{U_{in}}{U_{rf}} \cdot (2^n - 1)$$

Si le convertisseur n'est pas spécifié ratiométrique, la tension de référence doit être fixe.

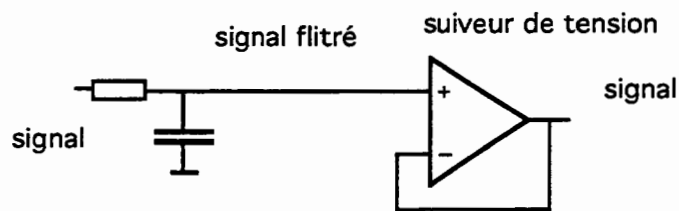
XVI.1.2 Classification morphologique des signaux

Nous présentons ici une classification morphologique de signaux, selon qu'ils sont continus ou discrets, dans un temps continu ou discret.

Classification morphologique des signaux:

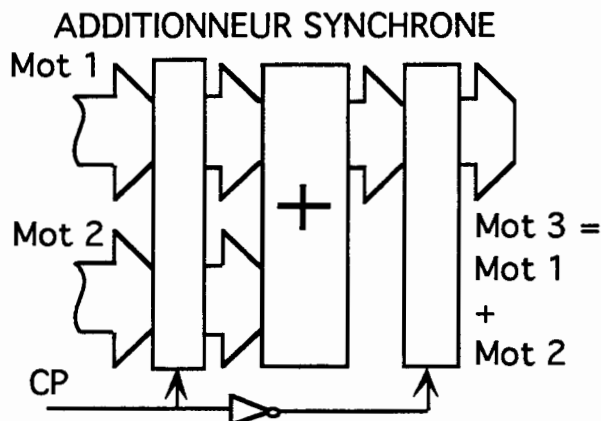
AMPLITUDE		
Continue	Discrète	
<p>signal analogique</p>	<p>signal quantifié</p>	Continu
<p>signal échantillonné</p>	<p>signal numérique</p>	Discret
		TEMPS

- Le **signal analogique** peut typiquement sortir d'un amplificateur opérationnel: il évolue dans sa gamme de tension et dans un temps continu.

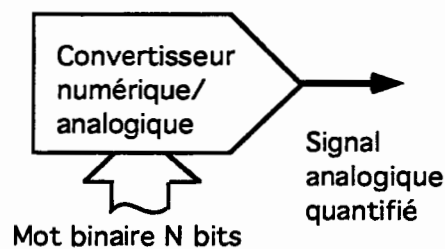


Exemple de traitement d'un signal analogique

- Le **signal numérique** est typiquement ce qui se propage dans les systèmes informatiques, où l'information est codée dans un temps discret.



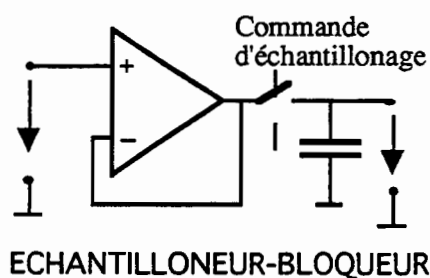
- Un **signal quantifié** évolue dans un temps continu, mais ne peut prendre que des valeurs de tension quantifiées. Typiquement, c'est le signal qu'on trouve à la sortie d'un convertisseur numérique / analogique.



- Un **signal échantillonné** correspond à la discrétisation du temps appliquée à un signal analogique.

L'échantillonnage d'un signal analogique est souvent une étape de la conversion analogique / numérique.

L'échantillonneur-bloqueur le plus simple est constitué d'un interrupteur de qualité et d'un condensateur se chargeant à la tension voulue.

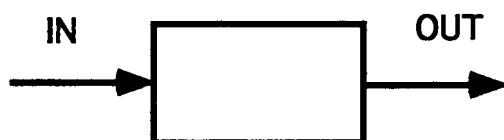


ECHANTILLONNEUR-BLOQUEUR

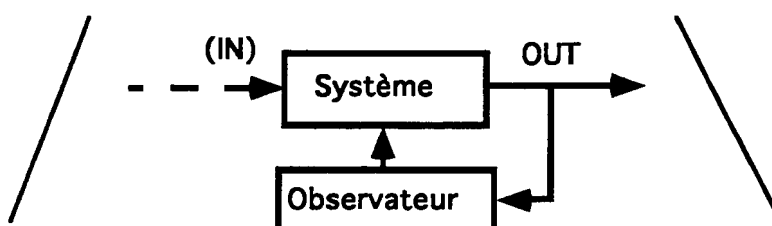
XVI.1.3 Remarque scientifique: électricité et physique.

Remarquons que les distinctions présentées précédemment concernant la nature des signaux électroniques sont des outils techniques, permettant d'indiquer où se trouve l'information que l'on véhicule. Du point de vue de la physique classique, tous ces signaux électriques sont analogiques. Mais que sont ces signaux dans les cadres des autres physiques ? Ici, nous nous contenterons d'une remarque générale sous forme d'un micro-panorama pouvant peut-être servir à l'étudiant physicien à situer l'ingénierie électronique

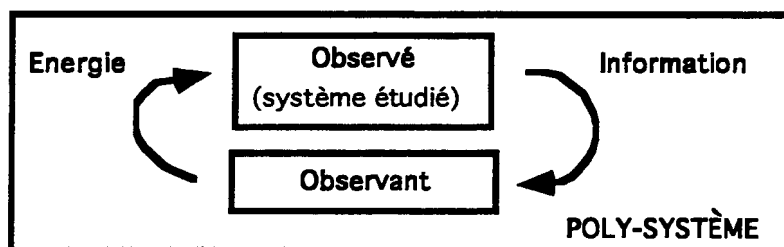
* Nous avons dérivé le modèle de Kirchhoff de l'électromagnétisme. Ce modèle relève donc de la physique classique, cet état de fait s'est illustré avec le bon fonctionnement de l'analogie électromécanique. Le modèle de Kirchhoff se situe donc dans une approche classique objectiviste, c'est à dire observant des faits, sans interaction avec un observateur:



* Or on le sait, en physique dite moderne, l'observateur interfère avec le système observé. Les problèmes de semiconducteurs et d'optique utilisent généralement la physique quantique. Les relations d'incertitude, la non-commutativité des observables expriment un état de relation entre observateur et observé:



* Dans la nouvelle physique, le paradigme de la thermodynamique est enrichi par l'intégration de la notion d'*information*: :



On voit que, bien que amarrée à la physique classique par le modèle de Kirchhoff, l'ingénierie électronique aborde ce qu'il y a de plus récent en physique: la théorie de l'information. Cette information représente ce qu'on obtient d'un système en lui fournissant de l'énergie: de la néguentropie pour l'observateur, de l'entropie pour l'observé. Cette question, de l'ordre du lien entre physique et électricité actuelles est laissée à l'esprit de curiosité et de recherche du lecteur. (Brillouin, Prigogine, ...)

XVI.2 ÉCHANTILLONNAGE DE SIGNAUX

Au chapitre 9 du traité d'électricité Vol 6: traitement de signal, on traite la question de l'échantillonnage de signaux. Du point de vue instrumental, nous devons simplement indiquer ici que:

la cadence d'échantillonnage d'un signal doit être au moins deux fois plus élevée que la plus haute fréquence contenue dans le signal à échantillonner.

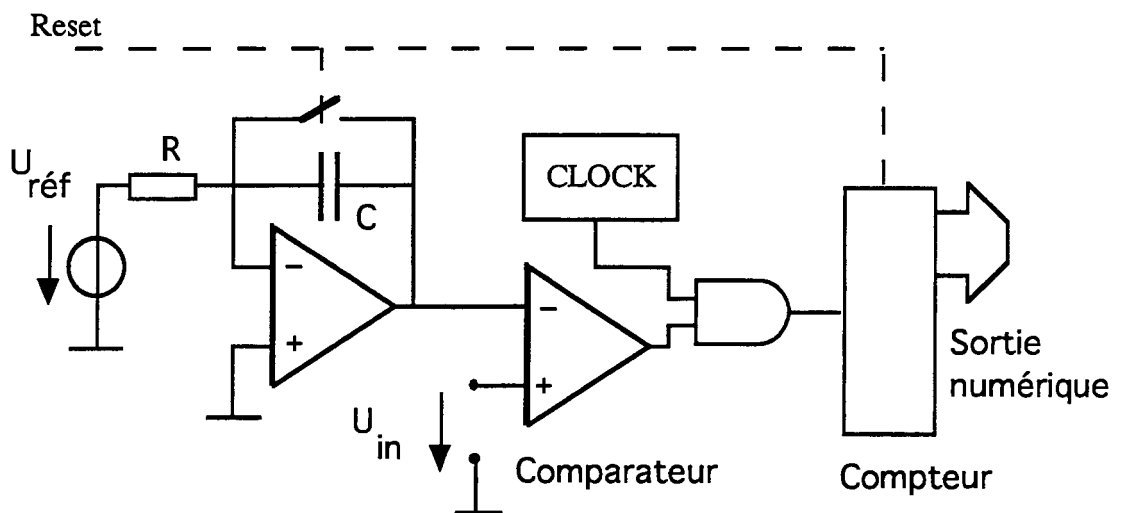
Ce résultat est connu sous le nom de *théorème de Shannon*. Il signifie aussi bien sûr qu'un signal doit voir son spectre limité pour pouvoir être échantillonné: il y a toujours un filtre électronique devant un échantillonneur.

EXO XVI.5.2: APPLICATION DU THÉORÈME DE SHANNON

XVI.3 PRINCIPES DE CONVERSION

XVI.3.1 Convertisseurs à intégration analogique

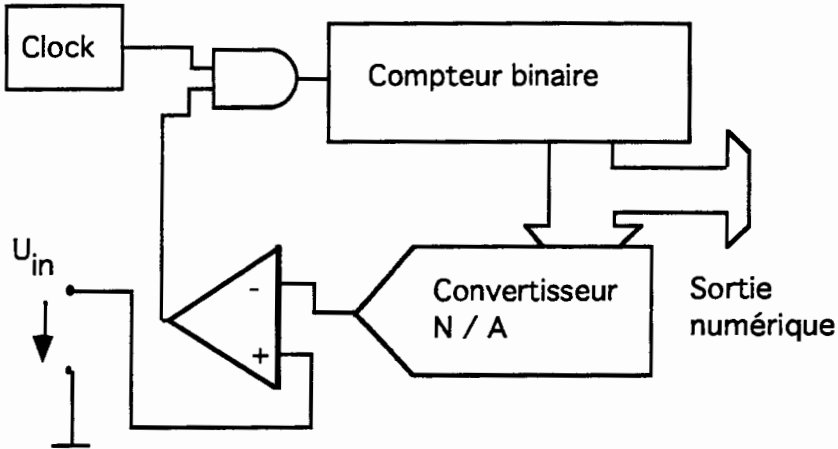
Principe de l'intégrateur à simple rampe:



La tension de référence est intégrée par l'amplificateur opérationnel, puis comparée à la tension à convertir. Le montage logique en aval compte le temps que met la sortie de l'intégrateur à rejoindre la tension d'entrée.

EXO XVI.5.3: ANALYSE DU CONVERTISSEUR SIMPLE RAMPE

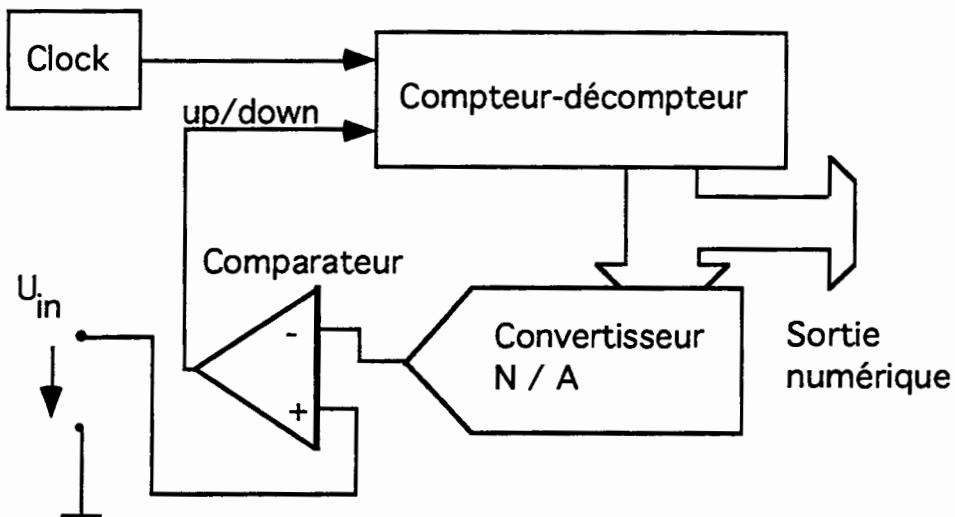
XVI.3.2 Convertisseurs à intégration numérique.



Le compteur part de zéro, et compte jusqu'à ce qu'il atteigne une valeur très proche de celle correspondant à la tension d'entrée.

EXO XVI.5.4: ANALYSE DU CONVERTISSEUR À INTÉGRATION NUMÉRIQUE

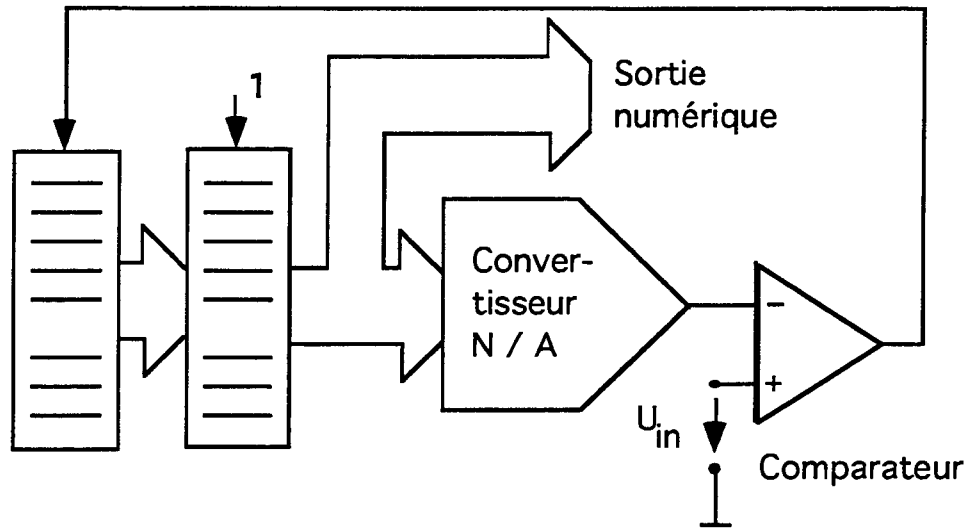
Tracking converter :



Ici, le compteur ne doit pas compter tout le mot, comme auparavant. Il est capable de compter ou décompter pour atteindre sa valeur.

EXO XVI.5.5 : ANALYSE DU TRACKING CONVERTER

XVI.3.3 Convertisseurs à approximations successives



Le registre A est chargé sériellement par un "1", le mot est converti en analogique. Si la valeur numérique est toujours trop petite, il faut placer un "1", sinon il faut placer un "0" dans le registre B. Le contenu du registre B est transféré dans le registre A, puis le cycle recommence.

EXO XVI.5.6 : ANALYSE DU CONVERTISSEUR À APPROXIMATION SUCCESSIVES

Extrait de la fiche technique du DAC 800:

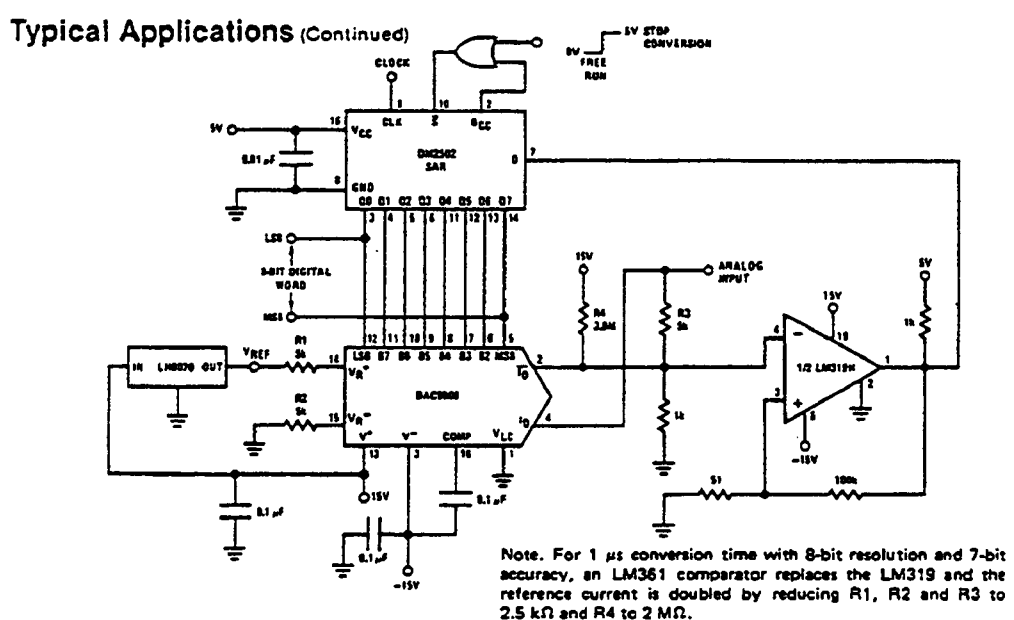
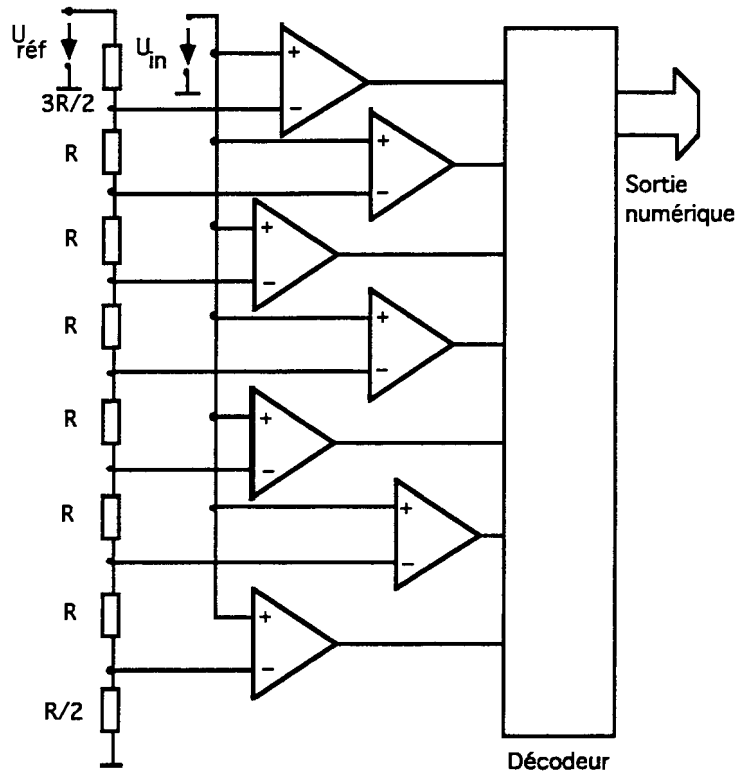


FIGURE 27. A Complete 2 μ s Conversion Time, 8-Bit A/D Converter

XVI.3.4 Convertisseurs flash

Convertisseur flash à 3 bits:



La tension à convertir est comparée à plusieurs seuils de référence. Le code obtenu est du type:

Avec seuil sur le k -ième comparateur:

A_{n-1}	A_{n-2}	...	A_k	...	A_{k-1}	A_1	A_0
0	0		0		1	1	1

Le décodeur réalise une logique combinatoire, pour transformer ce mot en binaire.

EXO XVI.5.7: ANALYSE DU CONVERTISSEUR FLASH

XVI.4 RÉALISATIONS PRATIQUES DE CONVERTISSEURS

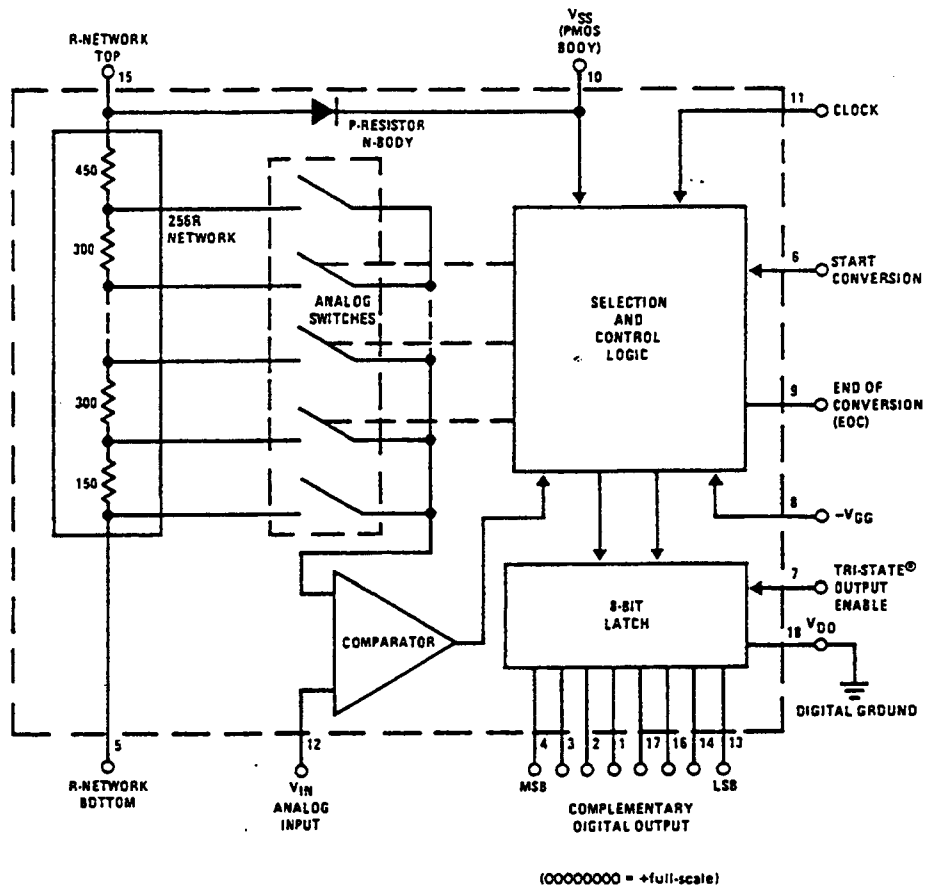
XVI.4.1 Caractéristiques générale des convertisseurs A / N

Les caractéristiques générales des convertisseurs analogique / numérique sont du même type que celles correspondant aux convertisseurs N / A. On peut donc se reporter à la leçon précédente. Nous avons vu néanmoins que le temps de la conversion analogique / numérique peut être plus ou moins important ; c'est donc un élément essentiel dans le choix du convertisseur.

XVI.4.2 Exemple de convertisseur A / N : le ADC 0800

Extrait de la fiche technique du convertisseur ADC 0800 de National Semiconductors:

Block Diagram



EXO XVI.5.8 FICHE TECHNIQUE DE L'ADC 0800

XVI.5 EXERCICES

Exercice XVI.5.1

On dispose d'un signal à échantillonner, de bande passante 0 à 100 Hz. La fréquence d'échantillonnage est de 50 KHz.

Après échantillonnage, on désire reproduire le signal de base. Proposer un filtre du premier ordre composé uniquement de résistance et capacité de manière à obtenir une atténuation, du signal de base, inférieure à 5 ‰.

- 1) Déterminer la fréquence de coupure minimum du filtre.
- 2) Quelle sera l'atténuation du signal d'échantillonnage avec un tel filtre?

Exercice XVI.5.2: Application du théorème de Shannon

- On veut échantillonner un signal périodique rectangulaire de 100 Hz. A quelle fréquence minimum doit-on échantillonner ce signal, si on veut conserver l'information qu'on trouve dans sa seconde harmonique ? Quel est le problème ?

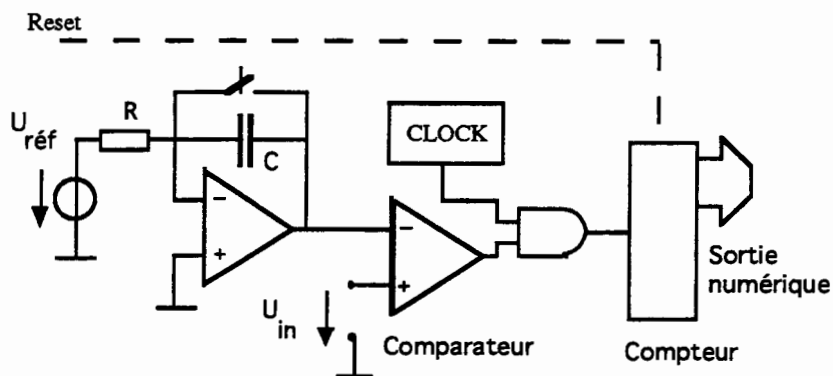
En se référant au principe de conversion énoncé au point XVI.3.1,

$$T_{\text{convert}} = \frac{U_{\text{in}}}{U_{\text{ref}}} \cdot R \cdot C$$

- Représentez en fonction du temps les signaux importants (sortie intégrateur, entrée, sortie comparateur, sortie numérique).
- Exprimez mathématiquement la sortie numérique, en fonction des valeurs de composants, de la fréquence et de la référence.
- Quel est le temps requis pour une conversion ?

EXO XVI.5.3: Analyse du convertisseur simple rampe

Principe de l'intégrateur à simple rampe:

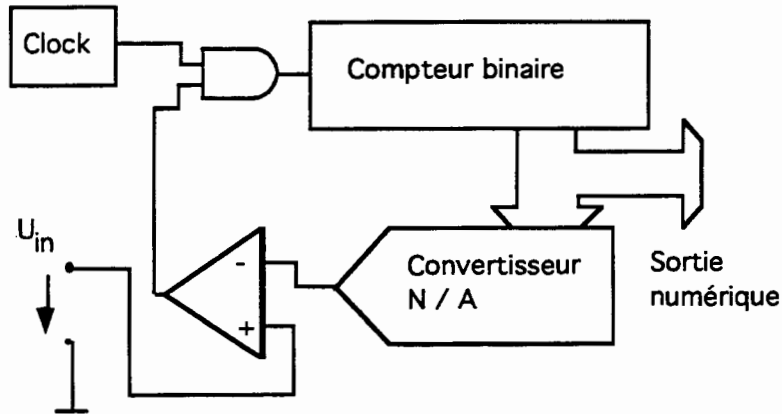


$$T_{\text{convert}} = n \cdot \frac{1}{f}$$

La tension de référence est intégrée par l'amplificateur opérationnel, puis comparée à la tension à convertir. Le montage logique en aval compte le temps que met la sortie de l'intégrateur à rejoindre la tension d'entrée.

- Représentez en fonction du temps les signaux importants (sortie intégrateur, entrée, sortie comparateur, sortie numérique).
- Exprimez mathématiquement la sortie numérique, en fonction des valeurs de composants, de la fréquence et de la référence.
- Quel est le temps requis pour une conversion ?

Exercice XVI.5.4: Analyse du convertisseur à intégration numérique

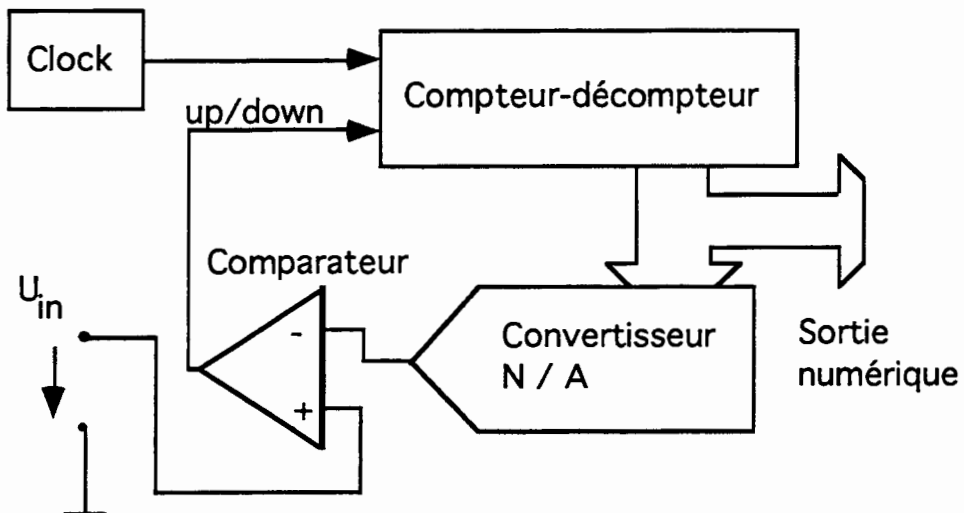


Le compteur part de zéro, et compte jusqu'à ce qu'il atteigne une valeur très proche de celle correspondant à la tension d'entrée.

- Représentez en fonction du temps les signaux importants.
- Où intervient la référence ?
- Exprimez mathématiquement la sortie numérique, en fonction de la fréquence et de la référence.
- Quel est le temps requis pour une conversion ?

Exercice XVI.5.5 : Analyse du tracking converter

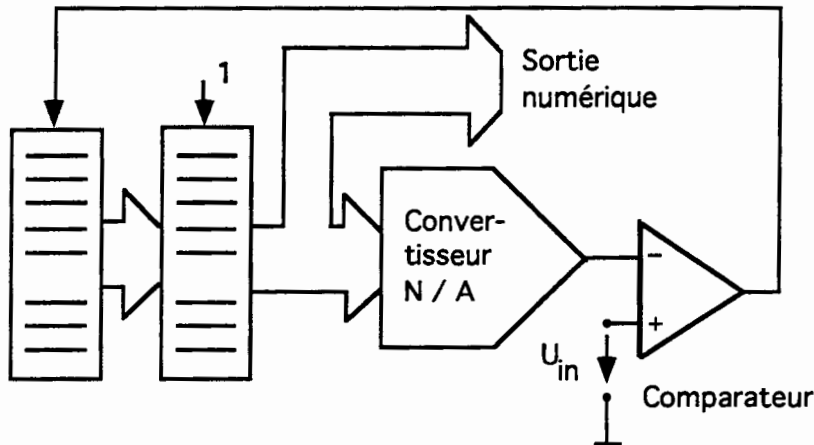
Tracking converter :



Ici, le compteur ne doit pas compter tout le mot, comme auparavant. Il est capable de compter ou décompter pour atteindre sa valeur.

- Représentez en fonction du temps les signaux importants.
- Où intervient la référence ?
- Exprimez mathématiquement la sortie numérique, en fonction de la fréquence et de la référence.
- Quel est le temps requis pour une conversion ?
- Quel genre de problèmes peut poser ce système asservi ?
- Quelle pente maximum du signal d'entrée peut suivre ce convertisseur ?

Exercice XVI.5.6 : Analyse du convertisseur à approximation successives

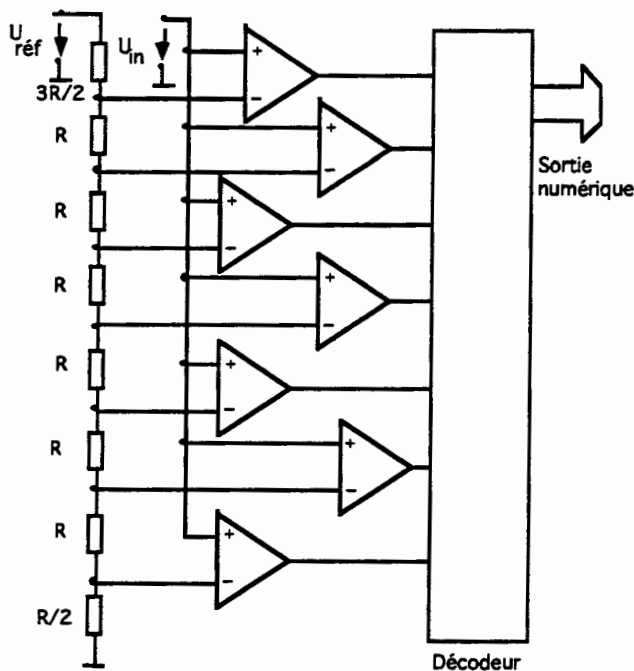


Le registre A est chargé sériellement par un "1", le mot est converti en analogique. Si la valeur numérique est toujours trop petite, il faut placer un "1", sinon il faut placer un "0" dans le registre B. Le contenu du registre B est transféré dans le registre A, puis le cycle recommence.

- Simulez sur papier les opérations pour un convertisseur 3 bits, avec référence 10 Volts et entrée 5.78 V.
- Exprimez mathématiquement la sortie numérique, en fonction de la référence.
- Quel est le temps requis pour une conversion ?
- Que se passe-t-il si pour cause de bruit, le comparateur fournit une indication erronée au milieu d'une conversion ? Comment minimiser les risques ?

Exercice XVI.5.7: Analyse du convertisseur flash

Convertisseur flash à 3 bits:



La tension à convertir est comparée à plusieurs seuils de référence. Le code obtenu est du type:

Avec seuil sur le k -ième comparateur:

A_{n-1}	A_{n-2}	...	A_k	...	A_{k-1}	A_1	A_0
0	0		0		1	1	1

Le décodeur réalise une logique combinatoire, pour transformer ce mot en binaire.

- Réalisez la table de vérité du décodeur à sortie binaire, pour 3 bits.
- Par Karnaugh, trouvez une expression simple de ce décodeur.
- Exprimez mathématiquement la sortie numérique, en fonction de la référence.
- Quel est le temps requis pour une conversion ?

Exercice XVI.5.8 Fiche technique de l'ADC 0800

- Étudiez la fiche technique de ce convertisseur
- Étudiez les applications typiques présentées dans la notice.

TRAVAUX PRATIQUES DE LABORATOIRE

Les dates prévues pour ces travaux pratiques de laboratoire sont communiquées avec le programme du semestre. Le semestre est divisé en deux périodes: la première est consacrée à ces trois travaux pratiques, le seconde à des projets d'électronique en laboratoire électronique et informatique.

Nous prions les étudiants de noter leur numéro de groupe (1 ou 2), afin que les salles et les assistants aient une disponibilité suffisante.

PLAN DES NOTICES DE TRAVAUX PRATIQUES:

TP5: DIODES A JONCTIONS

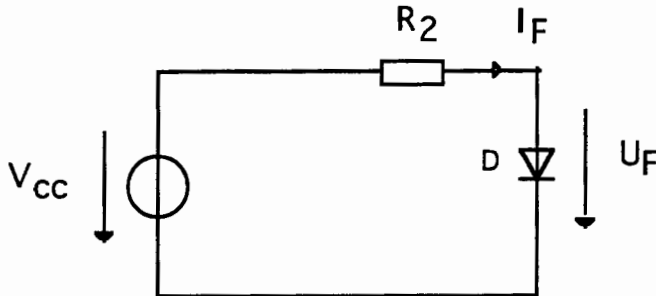
TP6: TRANSISTORS BIPOLAIRES

TP7: INTRODUCTION AUX SYSTÈMES LOGIQUES COMBINATOIRES

TP5: DIODES A JONCTIONS

5.1 Mesure de la caractéristique statique

5.1.1 Schéma du montage



$V_{CC} = 10 \text{ V max}$

$I_{Fmax} = 10 \text{ mA}$

$D : \text{BAW62}$

(caractéristique en fin de données)

La source V_{CC} et la résistance R_2 forment une source variable à forte résistance interne permettant de commander aisément I_F .

5.1.2 Choix de la résistance

- Choisissez dans la série normalisée la valeur de R_2 , en respectant les limites (courant, tension, puissance) fixées pour chaque élément dans la donnée ou par le fabricant

5.1.3 Relevé de la caractéristique courant-tension

Relevez sur papier lin-log la caractéristique $I_F = f(U_F)$ sur trois décades de courant au moins.

5.1.4 Paramètres de la caractéristique

Dans la zone respectant le mieux la relation théorique:

$$I_F = I_S \cdot \left(e^{\frac{U_F}{nU_T}} - 1 \right) \cong I_S \cdot e^{\frac{U_F}{nU_T}}$$

déterminez les paramètres I_S et n d'après la caractéristique précédente.

5.1.5 Discussion

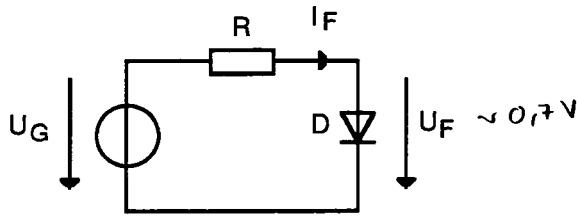
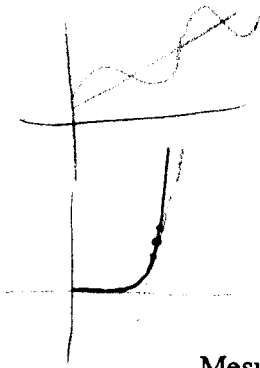
Discutez les éventuelles différences entre la caractéristique mesurée et la relation théorique.

5.1.6 Caractéristique Lin-Lin

Relevez également la caractéristique sur papier lin-lin.

5.2 Mesure de la résistance différentielle

5.2.1 Schéma du montage



$$U_G = 3 + 0,5 \sin(2\pi f t) \text{ (V)}$$

$$f = 100 \text{ Hz}$$

$$R = 2,2 \text{ k}\Omega ; D : \text{BAW62}$$

5.2.2 Mesures et calculs

non linéaire: $r = \frac{U_G - U_k}{I_F}$

- Mesurez le courant de repos I_{Fq} (valeur moyenne) et déterminez théoriquement la valeur de la résistance différentielle r_d correspondante.

$$r_d = \frac{dU_F}{dI_F}$$

$$r_d = \frac{n U_T}{I_0 + I_S}$$

$n \approx 1,5$
 $U_T = 26 \text{ mV}$
 $I_S \approx 0 // I_0$

- Mesurez ΔU_G et ΔU_F et déduisez-en la valeur de r_d . Comparez ce résultat avec le précédent.

- Refaites la mesure avec une composante continue de 10 V (au lieu de 3) pour U_G .

5.3 Caractéristique $I_D = f(U_D)$

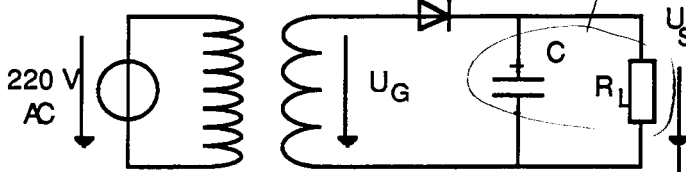
1 Imaginer une expérience simple permettant de mettre en évidence la caractéristique $I_D = f(U_D)$ d'une diode BAW62 et d'une diode Zener 1N750 ($V_Z = 4.7 \text{ V}$), et de la visualiser à l'oscilloscope (mode XY).

Représenter le schéma utilisé, ainsi que les résultats.

$$I_0 = f(U_0) , \text{ car } I_0 = I_S \cdot \left(\exp\left(\frac{U_0}{n \cdot U_T}\right) - 1 \right)$$

5.4 Redressement et filtrage

Schéma du montage



$$U = 15 \sin(2\pi f t) \text{ (V)}$$

$$f = 50 \text{ Hz}$$

$$R_L = 1.5 \text{ k}\Omega ; D : \text{BAW62}$$

- Prévoyez l'allure de la tension de sortie si l'on modélise la diode dans l'état passant par une source de tension U_F constante.

⇒ Utilité de la diode? Permet d'éviter que C se recharge trop vite?

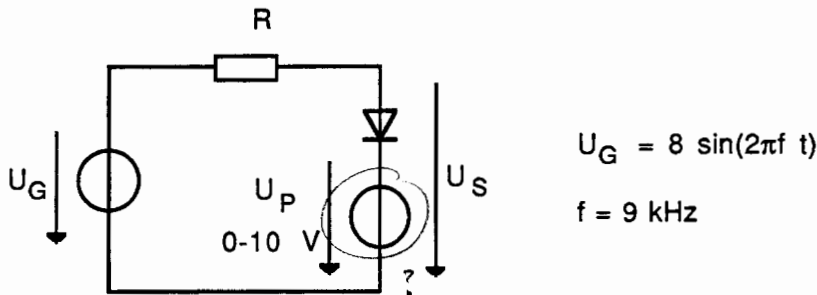
- Représentez sur un même diagramme U_G et U_S (théorique).

- Déterminez les valeurs de C permises pour que l'ondulation sur U_S soit inférieure ou égale à 15%. Choisissez une valeur normalisée remplissant cette condition et calculez l'ondulation pour cette valeur.

- Réalisez le montage. Observez U_S et U_G et discutez les éventuelles divergences avec les prévisions.

5.5 Limiteur

Schéma du montage:



- Calculez R pour que le courant maximum fourni par le générateur ne dépasse pas 1 mA. Prévoyez l'allure de U_S en fonction du temps avec comme paramètre la tension U_P , en gardant pour la diode le même modèle qu'au point 3.1

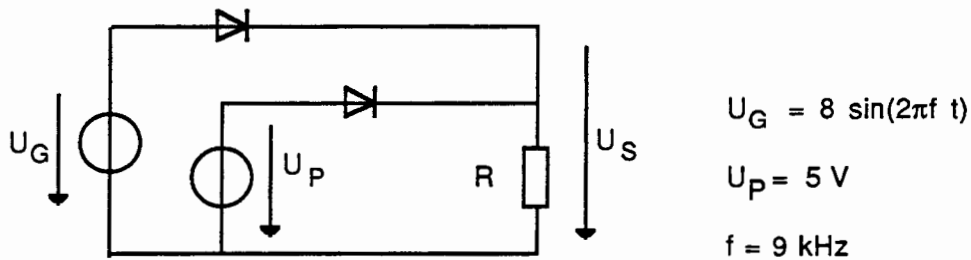
× (?) théorie

- Réalisez le montage, observez U_G et U_S et comparez la mesure avec les prévisions.

5.6 Détecteur du signal le plus positif

Réalisez le montage suivant et commentez vos observations.

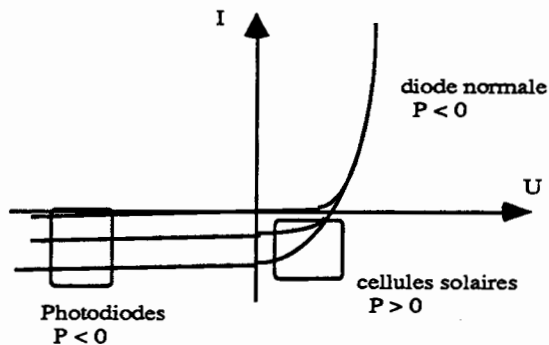
Schéma du montage:



5.7 Montage à photodiode

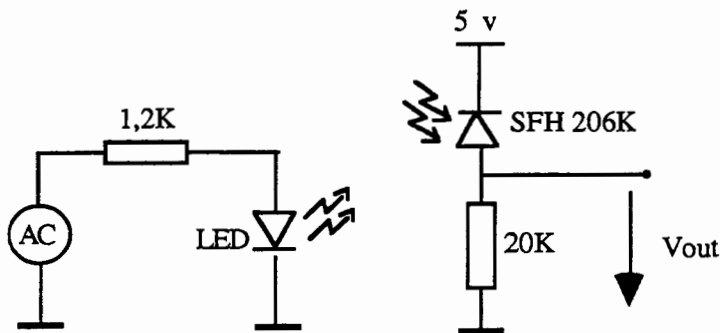
5.7.1 Caractéristiques énergétiques de différentes diodes

- Les photodiodes sont polarisées en inverse elles consommant de la puissance au circuit mais fournissent du signal (de l'information).
- Les cellules solaires fournissent de la puissance au circuit; elles ne s'occupent pas d'information.
- La diode normale est un élément passif ne faisant que consommer de la puissance au circuit.



5.8.2 Montage à photodiode

Réalisez le montage suivant:



source AC:
 -signal carré
 0-5V
 -fréquence:1KHz
 -Amplitude: 5V
 -Offset: 2,5V

Distance max entre la LED
 et le récepteur: 5mm

- Décrivez son fonctionnement, avec entrée à 0V, puis 5V.

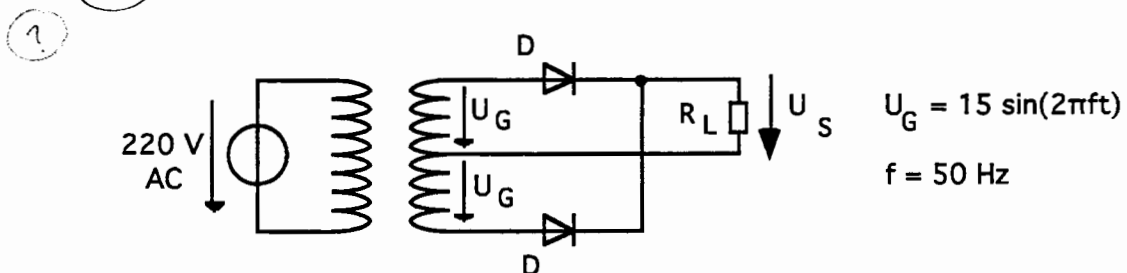
5.8.3 Mesures et calculs

- Observez la tension $V_{out}(t)$ en sortie.

- Quel est le rapport entre les amplitudes fournie et reçue. Quelle est l'atténuation en dB ?
 - Quelle est la composante continue qui apparaît à la sortie. A quoi est-elle due. Proposez un moyen de la supprimer à la sortie. Vérifiez expérimentalement.

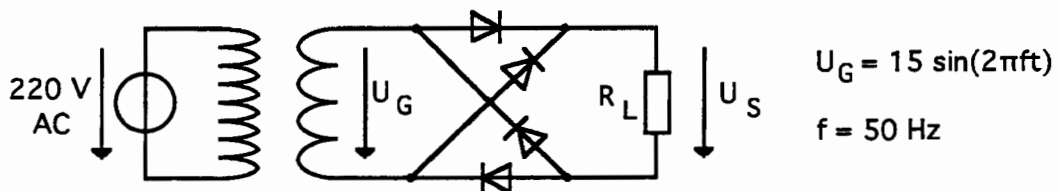
5.8 Redresseur double alternance

Calculez, montez et décrivez le montage suivant :



5.9 Redresseur à pont de Graetz

Calculez, montez et décrivez le montage suivant :

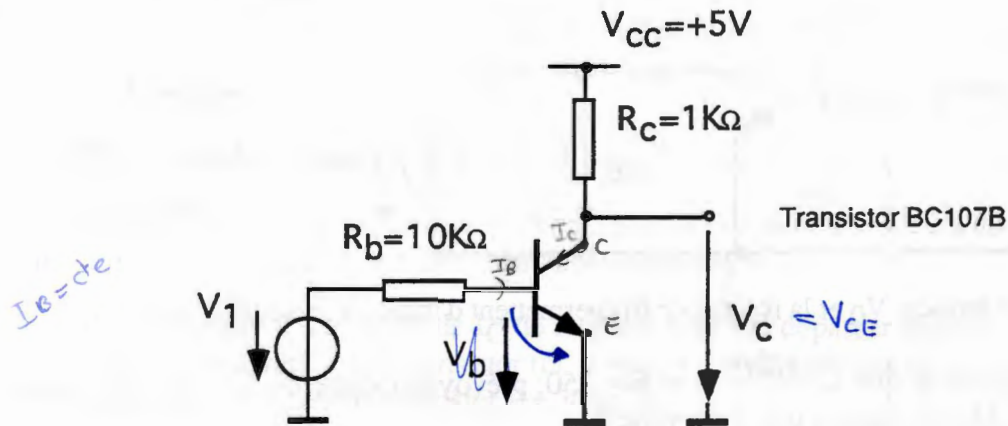


Attention! il faut choisir un point de masse unique, et veiller soigneusement à éviter de créer des court-circuits par l'intermédiaire des appareils de mesure. La masse peut être choisie soit au point inférieur du bobinage secondaire du transfo, soit au point inférieur de R_L , mais pas aux deux points simultanément!

TP6: TRANSISTORS BIPOLAIRES

6.1 Circuit logique: inverseur à transistor bipolaire

6.1.1 Schéma du montage:



6.1.2 Régime statique p. 92, p. 44

- i) - Pour chacune des deux valeurs $V_1 = 0\text{ V}$ et $V_1 = V_{CC}$, calculez (I_B) et (V_B), puis esquissez la caractéristique $I_C = f(V_{CE})$ du transistor; tracez également la droite de charge déduisez-en le point de fonctionnement (I_C, V_C).
- ii) Réalisez le montage, mesurez les tensions et courants, puis comparez les résultats aux valeurs calculées ci-dessus.
- iii) Observez en mode X-Y sur l'oscilloscope, puis relevez sur papier millimétré la caractéristique de transfert $V_C = f(V_1)$

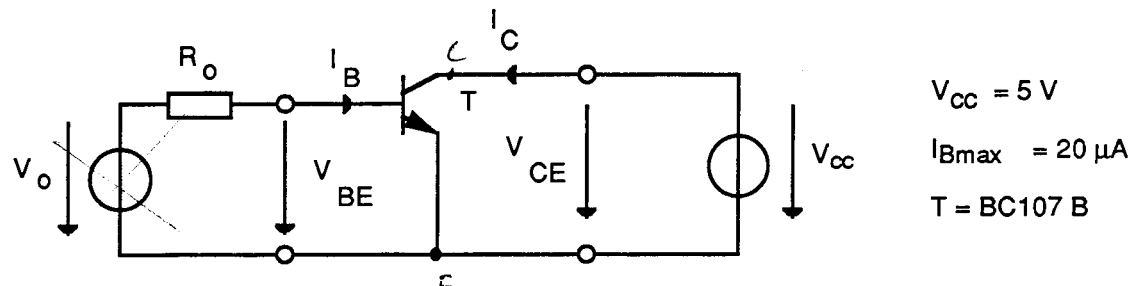
6.1.3 Régime dynamique

Remplacez la source continue V_1 par un générateur de signaux carrés 0/+5 Volts. Observez simultanément $V_1(t)$ et $V_C(t)$. Augmentez progressivement la fréquence de travail jusqu'au maximum autorisé par le générateur et observez le comportement du circuit. Documentez vos observations par quelques copies écran et commentez-les.

6.2 Caractéristiques statiques d'un transistor bipolaire (NPN)

6.2.1 Caractéristique d'entrée (p. 43)

La caractéristique d'entrée $I_B = f(V_{BE})$ sera mesurée en utilisant le circuit suivant :



La source de tension V_0 et la résistance R_0 permettent d'imposer le courant I_B .

- ✓ - Avec l'hypothèse que $I_S = 10^{-15}\text{ A}$ et $\beta = 250$, prévoyez l'allure de $I_B = f(V_{BE})$ pour $V_{CE} = V_{CC}$. Que se passe-t-il si V_{CE} varie ?
- ✓ - Montrez comment la source de tension V_0 et la résistance R_0 imposent pratiquement le courant I_B .
- ~ pour certain
- Pour faire varier I_B , nous supposons que la source de tension V_0 est variable de 0 à V_{CC} . Choisissez R_0 dans la série normalisée de manière à respecter la limite de courant I_{Bmax} .
- ?
- En utilisant une seule source de tension V_{CC} pour tout le circuit, proposez puis calculez un schéma réalisant la source de tension V_0 , variable de 0 à V_{CC} , et de manière à assurer un réglage aisé de I_B .
- Réalisez le montage complet puis relevez la caractéristique d'entrée sur papier lin-lin. Expliquez les éventuelles différences avec les prévisions.

6.2.2 Caractéristique de transfert courant-tension

- Prévoyez l'allure de la caractéristique de transfert $I_C = f(V_{BE})$ pour $V_{CE} = V_{CC}$. Que se passe-t-il si V_{CE} varie ?
- Utilisez le schéma de mesure précédent pour relever la caractéristique $I_C = f(V_{BE})$ pour $V_{CE} = V_{CC}$ sur papier lin-lin. Expliquez les éventuelles différences avec les prévisions théoriques.

6.2.3 Caractéristique de transfert en courant

- Utilisez toujours le même schéma de mesure pour relever la caractéristique de transfert en courant $I_C = f(I_B)$ pour $V_{CE} = V_{CC}$.
- Déduisez-en le gain en courant du transistor : β .

$$\beta = \frac{I_C}{I_B}$$

6.2.4 Caractéristiques de sortie

Les caractéristiques de sortie $I_C = f(V_{CE})$ ont pour paramètre le courant de base I_B (ou la tension V_{BE}). Le circuit précédent permet d'ajuster la valeur du paramètre I_B (ou V_{BE}). Pour faire varier la tension V_{CE} , nous déconnecterons la source de tension V_{CC} du collecteur (du collecteur seulement) pour la remplacer par une source de tension variable.

-Spécifications :

V_{CE} variant de 0 à V_{CC}

Valeurs du paramètre I_B : de 0 à $I_{B \max}$ par pas de $5 \mu A$.

- Prévoyez l'allure des courbes $I_C = f(V_{CE})$ pour les différentes valeurs du paramètre I_B et en indiquant le régime de fonctionnement du transistor.

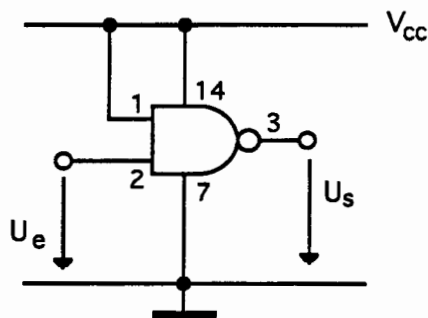
- Calculez la valeur maximale de I_C de manière à ne pas dépasser la puissance totale de dissipation admissible par le transistor (cf. données du fabricant) lorsque $V_{CE} = V_{CC}$.
Puissance dissipée dans le transistor $P = V_{CE} \cdot I_C$

- Relevez point par point les différentes courbes $I_C = f(V_{CE})$ en indiquant les valeurs de I_B et V_{BE} pour chacune d'entre elles.

- Observez et commentez les éventuelles différences avec les prévisions.

6.3 Comparaison de la consommation des portes TTL et MOS

6.3.1 Schéma



$V_{CC} = 5 V \pm 5\%$ à ajuster
avant de brancher le circuit

Circuit intégré : SN74LS00 ou 74HC00

Un inverseur peut être réalisé avec une porte NAND en reliant les deux entrées ou en mettant l'une d'entre elles au niveau logique "1"

Attention! tout signal appliqué à l'une quelconque des pattes du circuit (en particulier U_e) doit être compris entre 0 et V_{CC} .

6.3.2 Consommation de l'inverseur TTL

Consommation en régime statique

Déterminez expérimentalement la consommation d'une porte logique en régime statique lorsque la sortie est dans chacun des deux états logiques. Comme il est impossible de mesurer isolément chaque porte du circuit intégré, cette mesure est effectuée en reliant simultanément toutes les entrées de toutes les portes, soit au niveau 1, soit au niveau 0 (voir la configuration donnée par le fabricant). La consommation d'une porte s'obtient en divisant la consommation totale du circuit par le nombre de portes, c'est-à-dire 4. En déduire la consommation moyenne en régime statique s'il y avait statistiquement autant de sorties à 0 qu'à 1.

Consommation en régime dynamique

La même mesure, mais en régime dynamique est faite en excitant toutes les entrées avec un signal carré de rapport cyclique 50% et en chargeant toutes les sorties avec une capacité de valeur donnée. Dans cette expérience, on a choisi une valeur de 1 nF de manière à pouvoir effectuer des mesures dans une gamme de fréquence de 2 KHz à 2 MHz.

Mesurez la consommation en fonction de la fréquence. Reportez les différents résultats sur du papier Log-Log. Expliquez l'allure de la courbe.

6.3.3 Consommation de l'inverseur MOS

Effectuez les mêmes essais, avec une porte en technologie MOS. Comparez et discutez les différences:

- Consommation en régime statique
- Consommation en régime dynamique

TP7: INTRODUCTION AUX SYSTÈMES LOGIQUES COMBINATOIRES

7.1 L'opérateur NAND

7.1.1 Calculs

En utilisant uniquement des portes NAND à deux entrées :

- Dessiner deux logigrammes (NAND) distincts réalisant la fonction NON :
 $Z1 = \bar{a}$

- Dessiner le logigramme (NAND) réalisant la fonction ET :
 $Z2 = a \cdot b$

- Dessiner le logigramme (NAND) réalisant la fonction OU :
 $Z3 = a + b$

Remarquons que les constantes logiques 0 et 1 sont toujours disponibles; il est inutile d'utiliser une porte pour générer une constante.

7.1.2 Vérifications

- Câbler sur les logidules les quatre logigrammes réalisant ces quatre fonctions puis vérifier les quatre tables de vérité.

- En cas d'insuccès, vérifier tout particulièrement les règles de câblage et d'assemblage des logidules notamment l'interdiction de connecter ensemble deux sorties et l'obligation, pour chaque logidule d'avoir une face latérale en commun avec chaque voisin.

Attention à ne pas confondre les logidules '00 (4 portes NAND) avec les logidules '08 (4 portes ET) !

7.2 Fonction logique

7.2.1 Calculs

En utilisant les portes logiques disponibles:

- Dessiner le logigramme (NON, ET à deux entrées, OU à deux entrées) réalisant la fonction :

$$Z = \bar{a}bc + abc + abc$$

- Transformer le logigramme précédent par des manipulations graphiques uniquement pour obtenir le logigramme (NAND à deux entrées) équivalent.

- La mise en évidence de b ou de c dans l'expression ($Z = \bar{a}bc + abc + abc$) permet de réduire sensiblement le nombre de portes NAND utilisées.

$$b(\bar{a}c + a) + ac$$

7.2.2 Vérifications

- Mesurer la valeur de Z pour les huit états d'entrées (a, b, c);

- Comparer les valeurs mesurées avec celles de la table de vérité;

- Déterminer le rôle de la fonction Z.

7.3 Analyse d'un système combinatoire

7.3.1 Calculs

On donne à la figure 1 le logigramme d'un circuit intégré de la firme TEXAS INSTRUMENTS.

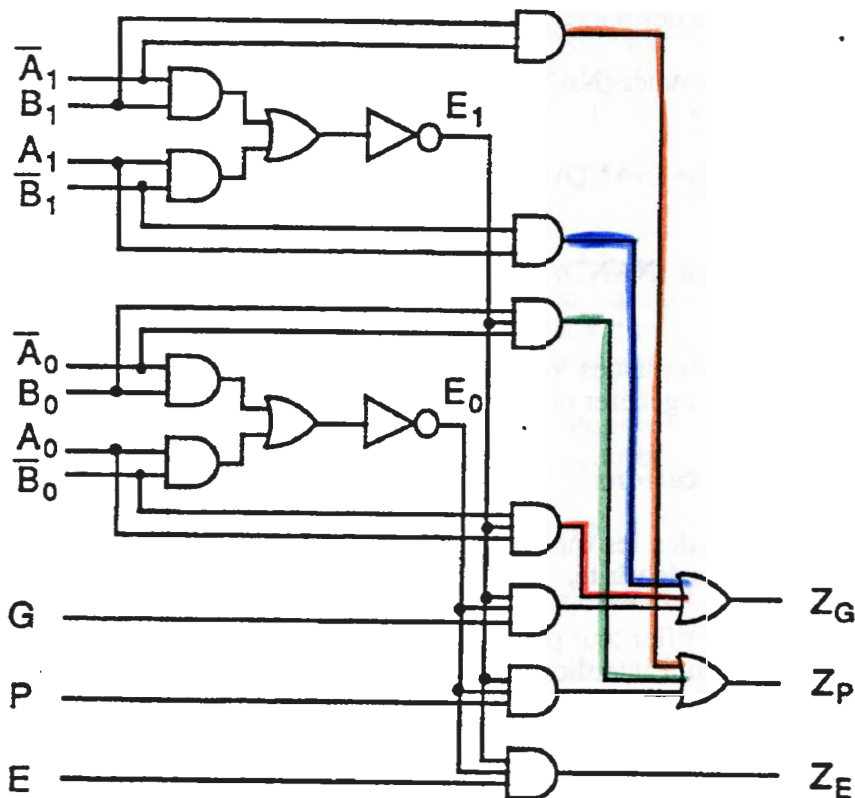


Figure 1.

– Calculez les expressions algébriques de Z_G , Z_P et Z_E en fonction des variables d'entrée $A_1, A_0, B_1, B_0, (G, P$ et $E)$;

– Dressez la table de vérité de Z_G, Z_P et Z_E pour le cas particulier où $(G, P, E) = 001$;

On simplifiera les calculs en utilisant les fonctions logiques intermédiaires E_1 et E_0 de la figure 1

7.3.2 Vérifications

Câblez le montage avec les logidules puis mesurez l'état de la sortie (Z_G, Z_P et Z_E) pour les seize états d'entrée (A_1, A_0, B_1, B_0) lorsque $(G, P, E) = 001$

Vu la relative complication de ce montage, il est conseillé, en cas d'insuccès, de vérifier d'abord les variables intermédiaires E_1 et E_0 de la figure 1, et ensuite seulement les variables de sortie Z_G, Z_P et Z_E .

BIBLIOGRAPHIE

Ouvrages généraux utiles pour cet enseignement

Jean Auvray "Circuits et composants électroniques"
Herman, Paris, Collection Méthode

Richard C. Dorf "The electrical handbook"
CRC PRESS

Albert Paul Malvino "Principes d'électronique"
Mc Graw-Hill

[4] P. Horowitz and W. Hill "The art of electronics",
Cambridge University Press, 1994.

[5] JD. Chatelain, R. Dessoulavy "Electronique", Vol 8, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1985.

Electrotechnique

[1] F. de Coulomb, M. Jufer "Introduction à l'électrotechnique", Vol 1, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1992.
(Ouvrage fortement conseillé comme introduction générale)

[2] R. Boite, J. Neiryck "Théorie des réseaux de Kirchhoff", Vol 4, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1989.
(Définitions, vitesses de propagations)

Cours de mécanique de première année
(Analogie électromécanique et systèmes oscillants)

Cours de physique générale
(Electromagnétisme de première ou de deuxième année)

Analyse de système

Cours d'analyse de deuxième année
(Séries et transformées de Fourier, transformée de Laplace)

[2] R. Boite, J. Neiryck "Théorie des réseaux de Kirchhoff", Vol 4, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1989.
(Laplace, Fourier, distributions)

[3] F. de Coulomb "Théorie et traitement des signaux", Vol 6, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1984.
(Taux de distorsion harmonique, étude approfondie des signaux)

Diodes et transistors

[4] P. Horowitz and W. Hill "The art of electronics",
Cambridge University Press, 1994.
(Approche très complémentaire à cette brochure, surtout concernant les transistors, au chapitre 2 et 3)

[5] JD. Chatelain, R. Dessoulavy "Electronique", Vol 8, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1985.
(Le premier chapitre est consacré aux diodes et transistors)

Cours de physique générale de deuxième année
(introduction aux semiconducteurs)

Amplificateurs

[5] JD. Chatelain, R. Dessoulavy "Electronique", Vol 8, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1989.
(Le chapitre 2 est consacré aux amplificateurs sous un angle plus électronique qu'ici)

[2] R. Boite, J. Neiryck "Théorie des réseaux de Kirchhoff", Vol 4, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1989.
(Le chapitre 6 fournit des outils pour l' étude des quadripôles)

L'introduction aux systèmes logiques

[6] D. Mange "Analyse et synthèse des systèmes logiques", Vol 5, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1987.
(Cet ouvrage est conseillé à ceux qui veulent connaître les principes d'électronique numérique)

[7] D. Mange: "Systèmes microprogrammés, une introduction au magicien"
Lausanne: Presses polytechniques et universitaires romandes, 1992.

[5] JD. Chatelain, R. Dessoulavy "Electronique", Vol 8, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1989.
(Le chapitre 7 traite des circuits logiques, avec leurs technologies)

Les convertisseurs AN et NA

[3] F. de Coulomb "Théorie et traitement des signaux", Vol 6, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1984.

[8] B. Loriferne "La conversion A/N et N/A"
Eyrolle, 1976

Pour aller plus loin ...

Techniques électriques

- [9] M. Hasler, J. Neyrinck "Filtres électriques", Vol 19, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1981.
- [10] M. Kunt "Traitement numérique des signaux", Vol 20, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1989.
- [11] F. Gardiol "Electromagnétisme", Vol 3, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1989.
- [12] F. Gardiol "Hyperfréquences", Vol 13, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1990.
- [13] M. Jufer "Transducteurs électromécaniques", Vol 9, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1985.
- [14] M. Hasler, J. Neyrinck "Circuits non linéaires",
Lausanne: Presses polytechniques romandes, 1985.
- [15] PA. Paratte, P. Robert "Systèmes de mesures", Vol 17, Traité d'électricité
Lausanne: Presses polytechniques romandes, 1986.
- [16] G. Metzger, JP. Vabre "Electronique des impulsions"
Masson et Cie, 1966.
(Tomes 2,4,6 Pour les lignes de transmissions)

Théorie de l'information

- [20] L. Brillouin "La science et la théorie de l'information",
Editions Jacques Gabray, 1988.

FICHES TECHNIQUES DE COMPOSANTS

Diode	série BZX55
Photodiode	SFH 206K
Convertisseur	ADC 0800
Convertisseur	DAC 800
Liste de circuits logiques	
Multiplexeur	HCT 157
Mémoire RAM	FCB 61C65
Microprocesseur	M68HC11
Convertisseur	MC 1508
Compteur / décompteur	HCT 191

VOLTAGE REGULATOR DIODES



Silicon planar diodes in a DO-35 envelope intended for use as low-voltage stabilizers or voltage references. The series covers the normalized range of nominal working voltages from 2,4 V to 75 V with a tolerance of $\pm 5\%$ (international standard E24).

QUICK REFERENCE DATA

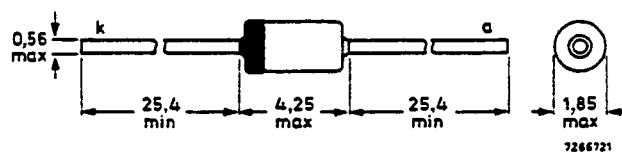
Working voltage range	V_Z	nom.	2,4 to 75 V
Total power dissipation*	P_{tot}	max.	500 mW
Non-repetitive peak reverse power dissipation	P_{ZSM}	max.	30 W
Junction temperature	T_j	max.	200 °C
Thermal resistance from junction to tie-point*	$R_{th j-tp}$	=	0,30 K/mW

* If leads are kept at $T_{tp} = 50\text{ °C}$ at 8 mm from body.

MECHANICAL DATA

Fig. 1 DO-35 (SOD-27).

Dimensions in mm



Cathode indicated by coloured band

Products, approved to CECC 50 005-005, available on request.

BZX55 SERIES

RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

Average forward current (averaged over any 20 ms period)	$I_F(AV)$	max.	250 mA
Repetitive peak forward current	I_{FRM}	max.	250 mA
Total power dissipation	P_{tot}	max.	400 mW*
		max.	500 mW**
Non-repetitive peak reverse power dissipation $t = 100 \mu s; T_j = 150 \text{ }^\circ C$	P_{ZSM}	max.	30 W
Storage temperature	T_{stg}		-65 to +200 °C
Junction temperature	T_j	max.	200 °C

THERMAL RESISTANCE

From junction to tie-point	$R_{th j-tp}$	=	0,30 K/mW**
From junction to ambient	$R_{th j-a}$	=	0,38 K/mW*

CHARACTERISTICS

 $T_j = 25 \text{ }^\circ C$ unless otherwise specified

Forward voltage

 $I_F = 100 \text{ mA}$

V_F	<	1,0 V
		at $T_j = 25 \text{ }^\circ C$ 150 °C

Reverse current

BZX55- C2V4

C2V7

C3V0

C3V3

C3V6

C3V9

C4V3

C4V7

C5V1

C5V6

C6V2

C6V8

C7V5

C8V2 to C75

 $V_R = 1 \text{ V}$ $V_R = 2 \text{ V}$ $V_R = 3 \text{ V}$ $V_R = 5 \text{ V}$ $V_R = 0,75 V_{Znom}$

I_R	<	50	100 μA
I_R	<	10	50 μA
I_R	<	4	40 μA
I_R	<	2	40 μA
I_R	<	2	40 μA
I_R	<	2	40 μA
I_R	<	1	20 μA
I_R	<	0,5	10 μA
I_R	<	0,1	2 μA
I_R	<	0,1	2 μA
I_R	<	0,1	2 μA
I_R	<	0,1	2 μA
I_R	<	0,1	2 μA

* In still air at maximum lead length up to $T_{amb} = 25 \text{ }^\circ C$. For the types of 2V4 and 2V7 the power dissipation is limited by $T_j = 175 \text{ }^\circ C$.

** If leads are kept at $T_{amb} = 50 \text{ }^\circ C$ at 8 mm from body.

BZX55- ...	working voltage		differential resistance		temperature coefficient
	V_Z (V)		r_{diff} (Ω)		S_Z (mV/K)
	at $I_Z = 5$ mA		at $I_Z = 5$ mA	at $I_Z = 1$ mA	at $I_Z = 5$ mA
	min.	max.	max.	max.	typ.
C2V4	2,28	2,56	85	600	-1,8
C2V7	2,5	2,9	85	600	-1,9
C3V0	2,8	3,2	85	600	-2,1
C3V3	3,1	3,5	85	600	-2,2
C3V6	3,4	3,8	85	600	-2,4
C3V9	3,7	4,1	85	600	-2,4
C4V3	4,0	4,6	75	600	-2,4
C4V7	4,4	5,0	60	600	-1,4
C5V1	4,8	5,4	35	550	-0,8
C5V6	5,2	6,0	25	450	1,6
C6V2	5,8	6,6	10	200	2,2
C6V8	6,4	7,2	8	150	3,0
C7V5	7,0	7,9	7	50	3,8
C8V2	7,7	8,7	7	50	4,5
C9V1	8,5	9,6	10	50	5,5
C10	9,4	10,6	15	70	6,5
C11	10,4	11,6	20	70	7,7
C12	11,4	12,7	20	90	8,4
C13	12,4	14,1	26	110	9,8
C15	13,8	15,6	30	110	11,3
C16	15,3	17,1	40	170	12,8
C18	16,8	19,1	50	170	14,4
C20	18,8	21,2	55	220	16,0
C22	20,8	23,3	55	220	18,7
C24	22,8	25,6	80	220	20,4
C27	25,1	28,9	80	220	22,9
C30	28,0	32,0	80	220	27,0
C33	31,0	35,0	80	220	29,7
C36	34,0	38,0	80	220	32,4
	at $I_Z = 2,5$ mA		at $I_Z = 2,5$ mA	at $I_Z = 0,5$ mA	at $I_Z = 2,5$ mA
	min.	max.	max.	max.	
C39	37,0	41,0	90	500	35,1
C43	40,0	46,0	90	600	38,7
C47	44,0	50,0	110	700	44,0
C51	48,0	54,0	125	700	49,0
C56	52,0	60,0	135	1000	55,0
C62	58,0	66,0	150	1000	62,0
C68	64,0	72,0	200	1000	70,0
C75	70,0	79,0	250	1500	78,0

BZX55 SERIES

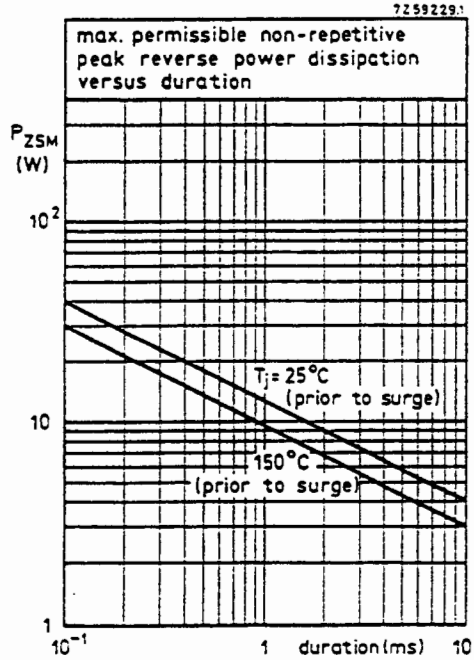


Fig. 2.

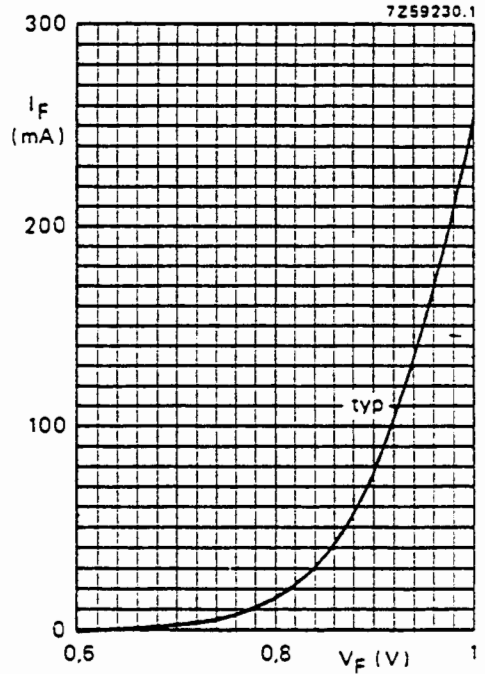


Fig. 3 $T_j = 25^\circ\text{C}$.

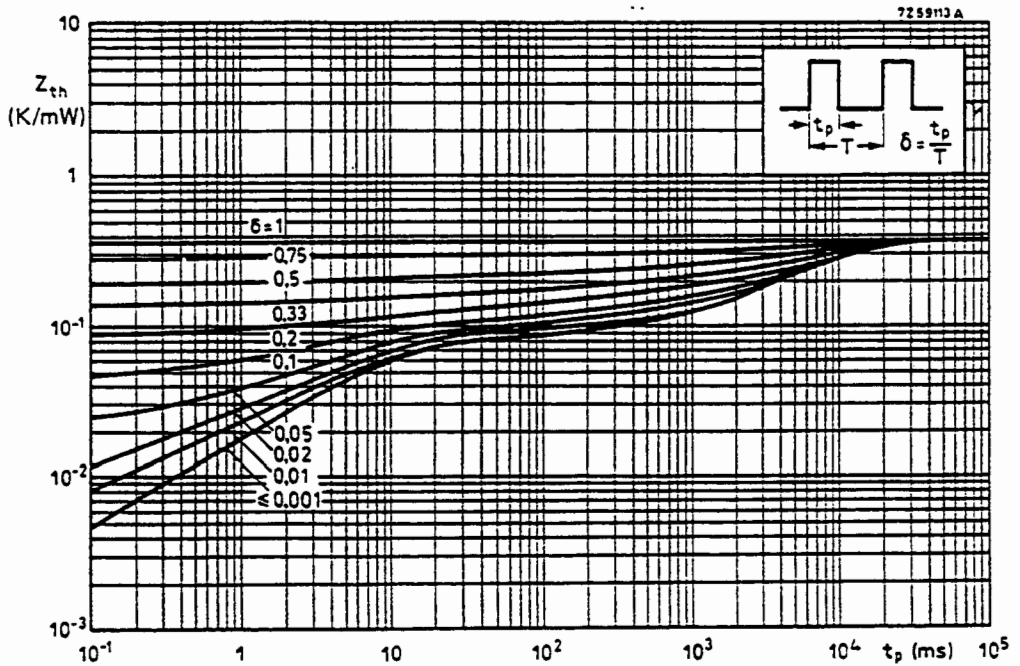


Fig. 4.

SIEMENS

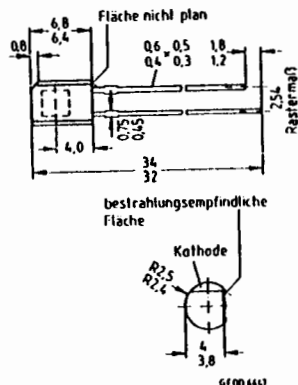
SFH 206 K

Silizium-PIN-Fotodiode

SFH 206 K

Wesentliche Merkmale

- Silizium-PIN-Fotodiode in Planartechnik
- N-Si-Substrat: Anode = Chipoberseite, Kathode = Chipunterseite
- Für Diodenbetrieb (mit Sperrspannung) und Elementbetrieb geeignet
- Hohe Zuverlässigkeit
- Keine meßbare Alterung
- Geringes Rauschen
- Hohe Leerlaufspannung bei Elementbetrieb
- Hohe Packungsdichte
- Hohe Grenzfrequenz
- Kurze Schaltzeit
- Geringe Kapazität
- Hohe Fotoempfindlichkeit
- Weiter Temperaturbereich
- Geeignet im Bereich des sichtbaren Lichts und des nahen Infrarots



Gewicht etwa 0,25 g

Gehäusebauform: 10 A3 DIN 41868 (TO-92-ähnlich), klares Epoxy-Gießharz, Lötspitze im 2,54-mm-Raster (100 mil)

Kathodenkennzeichnung: Gehäusekerbe

Anwendungen

- Computer-Blitzlichtgeräte
- Lichtschranken für Gleich- und Wechsellichtbetrieb
- Industrieelektronik
- „Messen/Steuern/Regeln“

Typ	Bestellnummer
SFH 206 K	O62702-P129

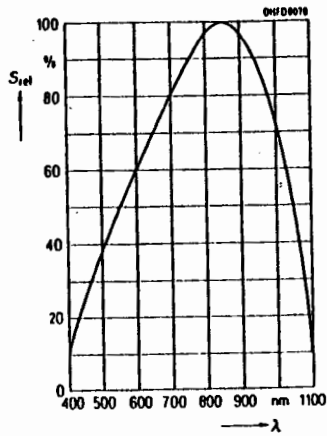
Grenzwerte

Bezeichnung	Symbol	Werte	Einheit
Betriebs- und Lagertemperatur	T_{op}, T_{stg}	-40...+80	°C
Löttemperatur (Lötstelle 2 mm vom Gehäuse entfernt bei Lötzeit $t \leq 3$ s)	T_s	230	°C
Sperrspannung	V_R	32	V
Verlustleistung, $T_A = 25$ °C	P_{tot}	150	mW

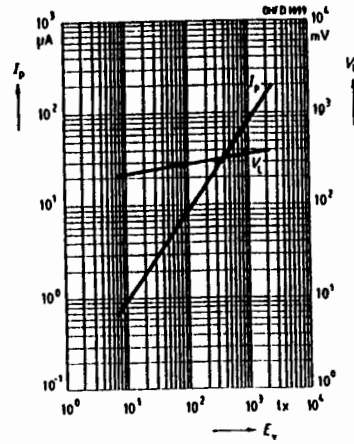
Kennwerte ($T_A = 25$ °C, Normlicht A, $T = 2856$ K)

Bezeichnung	Symbol	Werte	Einheit
Fotoempfindlichkeit, $V_R = 5$ V	S	80 (≥ 50)	nA/lx
Wellenlänge der max. Fotoempfindlichkeit	$\lambda_{S,max}$	850	nm
Spektraler Bereich der Fotoempfindlichkeit $S = 10\%$ von S_{max}	λ	400...1100	nm
Bestrahlungsempfindliche Fläche	A	7,00	mm ²
Abmessungen der bestrahlungsempfindlichen Fläche	$L \times B$	2,65 x 2,65	mm
Abstand Chipoberfläche zu Gehäuseoberfläche	H	1,2...1,4	mm
Halbwinkel	φ	± 60	Grad
Dunkelstrom, $V_R = 10$ V	I_n	2 (≤ 30)	nA
Spektrale Fotoempfindlichkeit, $\lambda = 850$ nm	S_λ	0,82	A/W
Quantenausbeute, $\lambda = 850$ nm	η	0,90	Elektronen/Photon
Leerlaufspannung, $E_v = 1000$ lx	V_L	365 (≥ 310)	mV
Kurzschlußstrom, $E_v = 1000$ lx	I_K	80	μ A
Anstiegs- und Abfallzeit des Fotostromes $R_L = 50 \Omega$, $V_R = 5$ V, $\lambda = 850$ nm, $I_p = 800 \mu$ A	t_r, t_f	20	ns
Durchlaßspannung, $I_f = 100$ mA, $E = 0$	V_f	1,3	V
Kapazität, $V_R = 0$ V, $f = 1$ MHz, $E = 0$	C_0	72	pF
Temperaturkoeffizient von V_L	TK_V	-2,6	mV/K
Temperaturkoeffizient von I_K	TK_I	0,18	%/K
Rauschäquivalente Strahlungsleistung $V_R = 10$ V, $\lambda = 850$ nm	NEP	$4,2 \times 10^{-14}$	$\frac{W}{\sqrt{Hz}}$
Nachweisgrenze, $V_R = 10$ V, $\lambda = 850$ nm	D^*	$6,3 \times 10^{12}$	$\frac{cm \cdot \sqrt{Hz}}{W}$

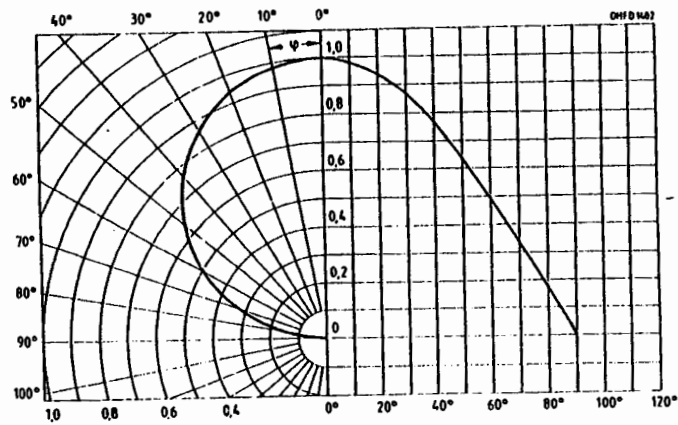
Relative spektrale Empfindlichkeit $S_{rel} = f(\lambda)$



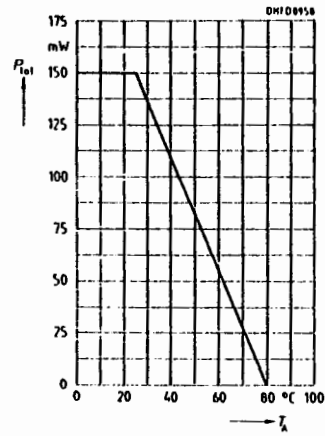
Fotostrom $I_p = f(E_s)$, $V_R = 5 V$
Leeraufspannung $V_k = f(E_s)$



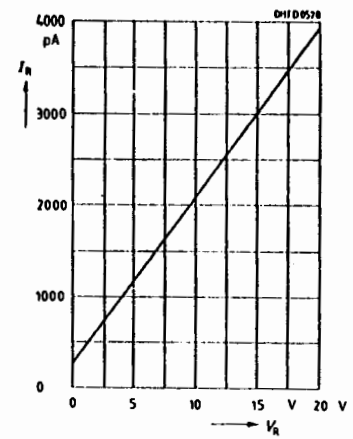
Richtcharakteristik $S_{rel} = f(\varphi)$



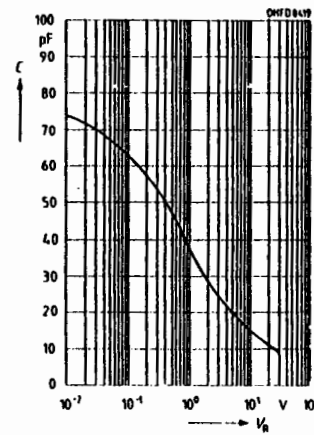
Verlustleistung $P_{tot} = f(T_A)$



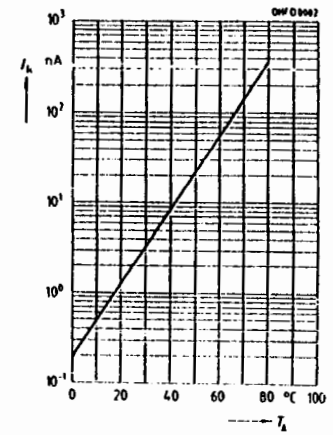
Dunkelstrom $I_n = f(V_R)$
 $E = 0$



Kapazität $C = f(V_R)$
 $f = 1 \text{ MHz}$, $E = 0$



Dunkelstrom $I_n = f(T_A)$
 $V_R = 10 V$, $E = 0$



National Semiconductor
ADC0800 8-Bit A/D Converter

A to D, D to A

ADC0800

General Description

The ADC0800 is an 8-bit monolithic A/D converter using P-channel ion-implanted MOS technology. It contains a high input impedance comparator, 256 series resistors and analog switches, control logic and output latches. Conversion is performed using a successive approximation technique where the unknown analog voltage is compared to the resistor tie points using analog switches. When the appropriate tie point voltage matches the unknown voltage, conversion is complete and the digital outputs contain an 8-bit complementary binary word corresponding to the unknown. The binary output is TRI-STATE[®] to permit bussing on common data lines.

The ADC0800PD is specified over -55°C to +125°C and the ADC0800PCD is specified over 0°C to 70°C.

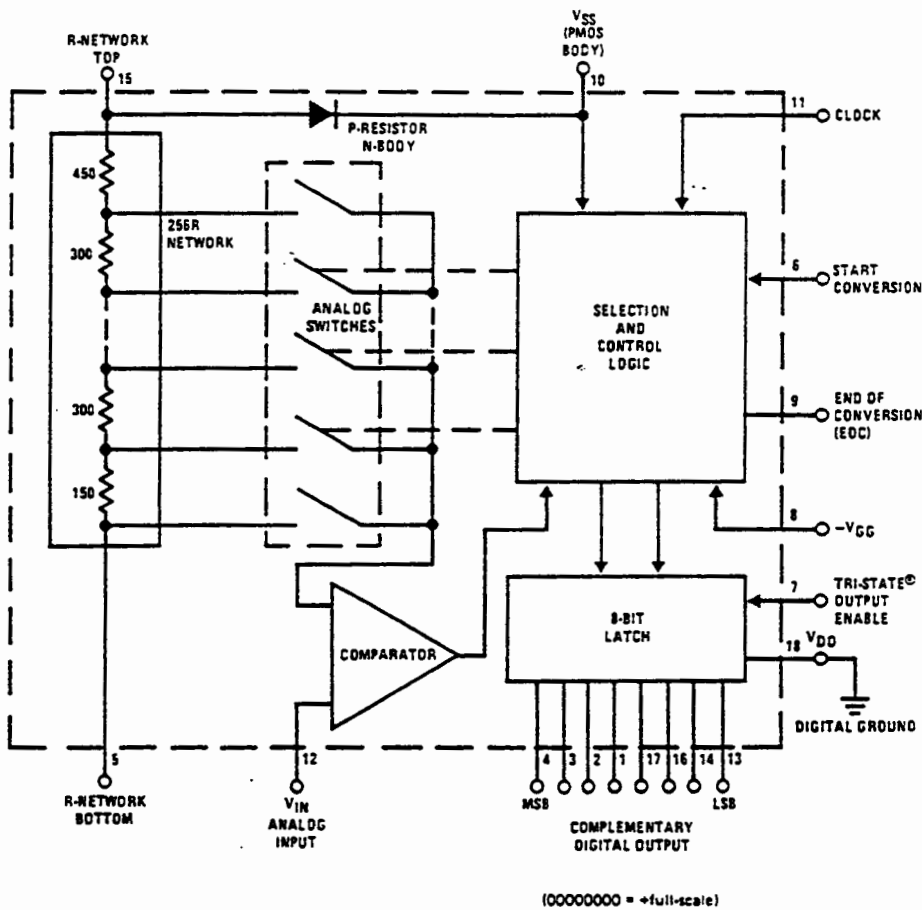
Features

- Low cost
- ±5V, 10V input ranges
- No missing codes
- Ratiometric conversion
- TRI-STATE outputs
- Fast
- Contains output latches
- TTL compatible
- Supply voltages
- Resolution
- Linearity
- Conversion speed
- Clock range

$T_C = 50 \mu s$

5 V_{DC} and -12 V_{DC}
 8 bits
 ±1 LSB
 40 clock periods
 50 to 800 kHz

Block Diagram



8

ADC0800

Absolute Maximum Ratings

Supply Voltage (VDD)	V _{SS} -22V
Supply Voltage (VGG)	V _{SS} -22V
Voltage at Any Input	V _{SS} + 0.3V to V _{SS} -22V
Storage Temperature	150°C
Operating Temperature	
ADC0800PD	-55°C to +125°C
ADC0800PCD	0°C to +70°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics

These specifications apply for V_{SS} = 5.0 VDC, VGG = -12.0 VDC, VDD = 0 VDC, a reference voltage of 10.000 VDC across the on-chip R-network (V_{R-NETWORK TOP} = 5.000 VDC and V_{R-NETWORK BOTTOM} = -5.000 VDC), and a clock frequency of 800 kHz. For all tests, a 475Ω resistor is used from pin 5 to ground. Unless otherwise noted, these specifications apply over an ambient temperature range of -55°C to +125°C for the ADC0800PD and 0°C to +70°C for the ADC0800PCD.

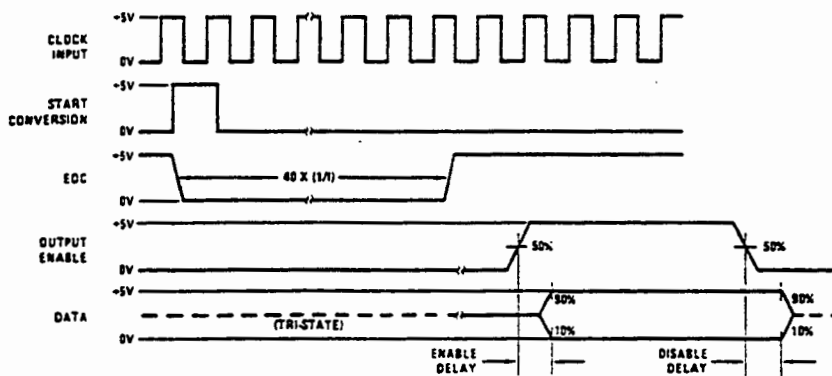
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Non-Linearity	T _A = 25°C, (Note 1)			±1	LSB
	Over Temperature, (Note 1)			±2	LSB
Differential Non-Linearity				±1/2	LSB
Zero Error				±2	LSB
Zero Error Temperature Coefficient	(Note 2)			0.01	%/°C
Full-Scale Error				±2	LSB
Full-Scale Error Temperature Coefficient	(Note 2)			0.01	%/°C
Input Leakage				1	μA
Logical "1" Input Voltage	All Inputs	V _{SS} -1.0		V _{SS}	V
Logical "0" Input Voltage	All Inputs	VGG		V _{SS} -4.2	V
Logical Input Leakage	T _A = 25°C, All Inputs, V _{IL} = V _{SS} - 10V			1	μA
Logical "1" Output Voltage	All Outputs, I _{OH} = 100 μA	2.4			V
Logical "0" Output Voltage	All Outputs, I _{OL} = 1.6 mA			0.4	V
Disabled Output Leakage	T _A = 25°C, All Outputs, V _{OL} = V _{SS} @ 10V			2	μA
Clock Frequency	0°C ≤ T _A ≤ +70°C	50		800	kHz
	-55°C ≤ T _A ≤ +125°C	100		500	kHz
Clock Pulse Duty Cycle		40		60	%
TRI-STATE Enable/Disable Time				1	μs
Start Conversion Pulse	(Note 3)	1		3 1/2	Clock Periods
Power Supply Current	T _A = 25°C			20	mA

Note 1: Non-linearity specifications are based on best straight line.

Note 2: Guaranteed by design only.

Note 3: Start conversion pulse duration greater than 3 1/2 clock periods will cause conversion errors.

Timing Diagram



Data is complementary binary (full scale is all "0's" output).

Application Hints

OPERATION

The ADC0800 contains a network with 256-300 Ω resistors in series. Analog switch taps are made at the junction of each resistor and at each end of the network. In operation, a reference (10.00V) is applied across this network of 256 resistors. An analog input (V_{IN}) is first compared to the center point of the ladder via the appropriate switch. If V_{IN} is larger than $V_{REF}/2$, the internal logic changes the switch points and now compares V_{IN} and $3/4 V_{REF}$. This process, known as successive approximation, continues until the best match of V_{IN} and V_{REF}/N is made. N now defines a specific tap on the resistor network. When the conversion is complete, the logic loads a binary word corresponding to this tap into the output latch and an end of conversion (EOC) logic level appears. The output latches hold this data valid until a new conversion is completed and new data is loaded into the latches. The data transfer occurs in about 200 ns so that valid data is present virtually all the time. Conversion requires 40 clock periods. The device may be operated in the free running mode by connecting the Start Conversion line to the End of Conversion line. However, to ensure start-up under all possible conditions, an external Start Conversion pulse is required during power up conditions.

REFERENCE

The reference applied across the 256 resistor network determines the analog input range. $V_{REF} = 10.00V$ with the top of the R-network connected to 5V and the bottom connected to -5V gives a $\pm 5V$ range. The reference can be level shifted between V_{SS} and V_{GG} . However, the voltage, which is applied to the top of the R-network (pin 15), must not exceed V_{SS} to prevent forward biasing the on-chip parasitic silicon diode which exists between the P-diffused resistors (pin 15) and the N-type body (pin 10, V_{SS}). Use of a standard logic power supply for V_{SS} can cause problems, both due to initial voltage tolerance and changes over temperature. A solution is to power the V_{SS} line (15 mA max drain) from the output of the op amp which is used to bias the top of the R-network (pin 15). The analog input voltage and the voltage which is applied to the bottom of the R-network (pin 5) must be at

least 7V above the $-V_{DD}$ supply voltage to insure adequate voltage drive to the analog switches.

Other reference voltages may be used (such as 10.24V). If a 5V reference is used, the analog range will be 5V and accuracy will be reduced by a factor of 2. Thus, for maximum accuracy, it is desirable to operate with at least a 10V reference. For TTL logic levels, this requires 5V and -5V for the R-network. CMOS can operate at the 10 VDC V_{SS} level and a single 10 VDC reference can be used. All digital voltage levels for both inputs and outputs will be from ground to V_{SS} .

ANALOG INPUT AND SOURCE RESISTANCE CONSIDERATIONS

The lead to the analog input (pin 12) should be kept as short as possible. Both noise and digital clock coupling to this input can cause conversion errors. To minimize any input errors, the following source resistance considerations should be noted:

- For $R_s \leq 5k$ No analog input bypass capacitor required, although a 0.1 μF input bypass capacitor will prevent pick-up due to unavoidable series lead inductance.
- For $5k < R_s \leq 20k$ A 0.1 μF capacitor from the input (pin 12) to ground should be used.
- For $R_s > 20k$ Input buffering is necessary.

If the overall converter system requires lowpass filtering of the analog input signal, use a 20 k Ω or less series resistor for a passive RC section or add an op amp RC active lowpass filter (with its inherent low output resistance) to insure accurate conversions.

CLOCK COUPLING

The clock lead should be kept away from the analog input line to reduce coupling.

LOGIC INPUTS

The logical "1" input voltage swing for the Clock, Start Conversion and Output Enable should be ($V_{SS} - 1.0V$).

Application Hints (Continued)

CMOS will satisfy this requirement but a pull-up resistor should be used for TTL logic inputs.

RE-START AND DATA VALID AFTER EOC

The EOC line (pin 9) will be in the low state for a maximum of 40 clock periods to indicate "busy". A START pulse which occurs while the A/D is BUSY will reset the SAR and start a new conversion with the EOC signal remaining in the low state until the end of this new conversion. When the conversion is complete, the EOC line will go to the high voltage state. An additional 4 clock periods must be allowed to elapse after EOC goes high, before a new conversion cycle is requested. Start Conversion pulses which occur during this last 4 clock period interval may be ignored (see Figures 1 and 2 for high speed operation). This is only a problem for high conversion rates and keeping the number of conversions per second less than $(1/44) \times f_{CLOCK}$ automatically guarantees proper operation. For example, for an 800 kHz clock, 18,000 conversions per second are allowed. The transfer of the new digital data to the output is initiated when EOC goes to the high voltage state.

POWER SUPPLIES

Standard supplies are $V_{SS} = 5V$, $V_{GG} = -12V$ and $V_{DD} = 0V$. Device accuracy is dependent on stability of the reference voltage and has slight sensitivity to $V_{SS} - V_{GG}$. V_{DD} has no effect on accuracy. Noise spikes on the V_{SS} and V_{GG} supplies can cause improper conversion; therefore, filtering each supply with a $4.7 \mu F$ tantalum capacitor is recommended.

CONTINUOUS CONVERSIONS AND LOGIC CONTROL

Simply tying the EOC output to the Start Conversion input will allow continuous conversions, but an oscillation on this line will exist during the first 4 clock periods after EOC goes high. Adding a D flip-flop between EOC (D input) to Start Conversion (Q output) will prevent the oscillation and will allow a stop/continuous control via the "clear" input.

To prevent missing a start pulse which may occur after EOC goes high and prior to the required 4 clock period time interval, the circuit of Figure 1 can be used. The RS latch can be set at any time and the 4-stage shift register delays the application of the start pulse to the A/D by 4 clock periods. The RS latch is reset 1 clock period after the A/D EOC signal goes to the low voltage state. This circuit also provides a Start Conversion pulse to the A/D which is 1 clock period wide.

A second control logic application circuit is shown in Figure 2. This allows an asynchronous start pulse of arbitrary length less than T_C , continuously converts for a fixed high level and provides a single clock period start pulse to the A/D. The binary counter is loaded with a count of 11 when the start pulse to the A/D appears. Counting is inhibited until the EOC signal from the A/D goes high. A carry pulse is then generated 4 clock periods after EOC goes high and is used to reset the input RS latch. This carry pulse can be used to indicate that the conversion is complete, the data has transferred to the output buffers and the system is ready for a new conversion cycle.

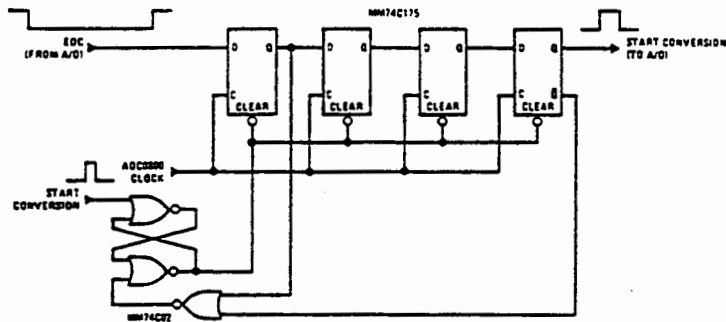


FIGURE 1. Delaying an Asynchronous Start Pulse

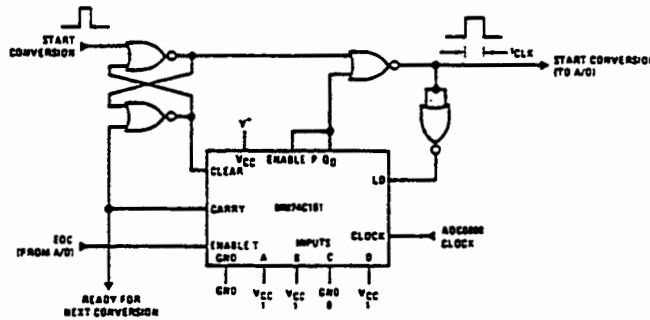


FIGURE 2. A/D Control Logic

Application Hints (Continued)

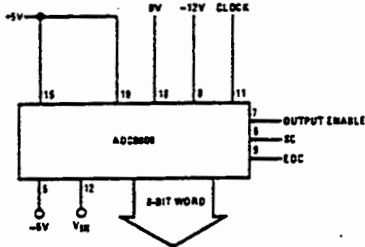
ZERO AND FULL-SCALE ADJUSTMENT

Zero Adjustment: This is the offset voltage required at the bottom of the R-network (pin 5) to make the 11111111 to 11111110 transition when the input voltage is 1/2 LSB (20 mV for a 10.24V scale). In most cases, this can be accomplished by having a 1 kΩ pot on pin 5. A resistor of 475Ω can be used as a non-adjustable best approximation from pin 5 to ground.

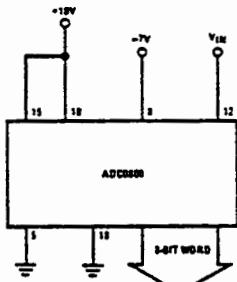
Full-Scale Adjustment: This is the offset voltage required at the top of the R-network (pin 15) to make the 00000001 to 00000000 transition when the input voltage is 1 1/2 LSB from full-scale (60 mV less than full-scale for a 10.24V scale). This voltage is guaranteed to be within 2 LSB for the ADC0800. In most cases, this can be accomplished by having a 1 kΩ pot on pin 15.

Typical Applications

General Connection

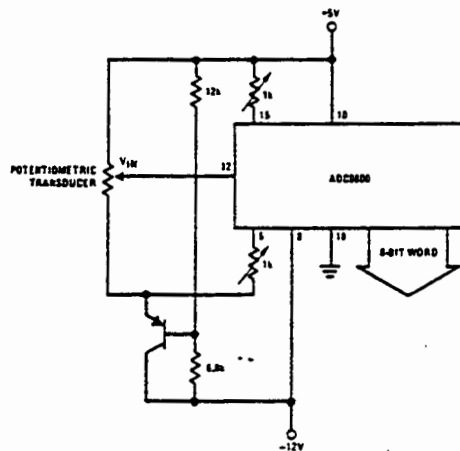


Hi-Voltage CMOS Output Levels



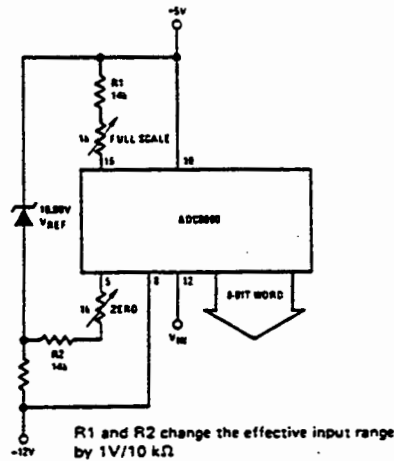
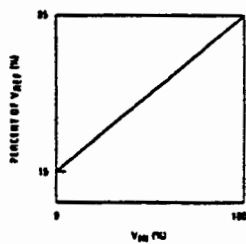
0V to 10V V_{IN} range
0V to 10V output levels

Ratiometric Input Signal with Tracking Reference



Level Shifted Zero and Full-Scale for Transducers

Level Shifted Input Signal Range



R1 and R2 change the effective input range by 1V/10 kΩ

DAC0800, DAC0801, DAC0802



A to D, D to A

DAC0800, DAC0801, DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 V_{p-p} with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC} pin 1 grounded. Simple adjustments of the V_{LC} potential allow direct interface to all logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current 100 ns
- Full scale error ±1 LSB
- Nonlinearity over temperature ±0.1%
- Full scale current drift ±10 ppm/°C
- High output compliance -10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range ±4.5V to ±18V
- Low power consumption 33 mW at ±5V
- Low cost

Typical Applications

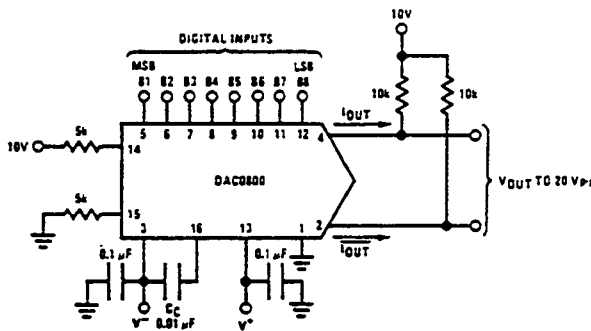
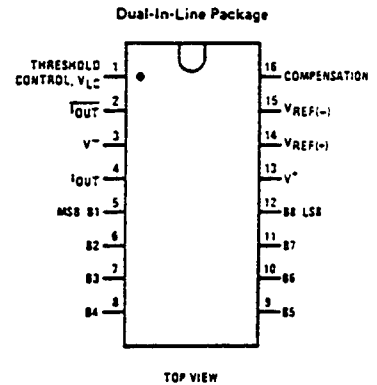


FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter

Connection Diagram



Ordering Information

NON LINEARITY	TEMPERATURE RANGE	ORDER NUMBERS*					
		D PACKAGE (D16C)		J PACKAGE (J16A)		N PACKAGE (N16A)	
±0.1% FS	-55°C ≤ T _A ≤ +125°C	DAC0802LD	DAC-08AQ	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP
±0.1% FS	0°C ≤ T _A ≤ +70°C						
±0.19% FS	-55°C ≤ T _A ≤ +125°C	DAC0800LD	DAC-08Q	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP
±0.19% FS	0°C ≤ T _A ≤ +70°C						
±0.39% FS	0°C ≤ T _A ≤ +70°C			DAC0801LCJ	DAC-08CQ	DAC0801LCN	DAC-08CP

* Note: Devices may be ordered by using either order number.

Absolute Maximum Ratings

Supply Voltage	±18V or 36V
Power Dissipation (Note 1)	500 mW
Reference Input Differential Voltage (V14 to V15)	V ⁻ to V ⁺
Reference Input Common-Mode Range (V14, V15)	V ⁻ to V ⁺
Reference Input Current	5 mA
Logic Inputs	V ⁻ to V ⁻ plus 36V
Analog Current Outputs	Figure 24
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Conditions

	MIN	MAX	UNITS
Temperature (T _A)			
DAC0802L	-55	+125	°C
DAC0800L	-55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics (V_S = ±15V, I_{REF} = 2 mA, T_{MIN} ≤ T_A ≤ T_{MAX} unless otherwise specified.

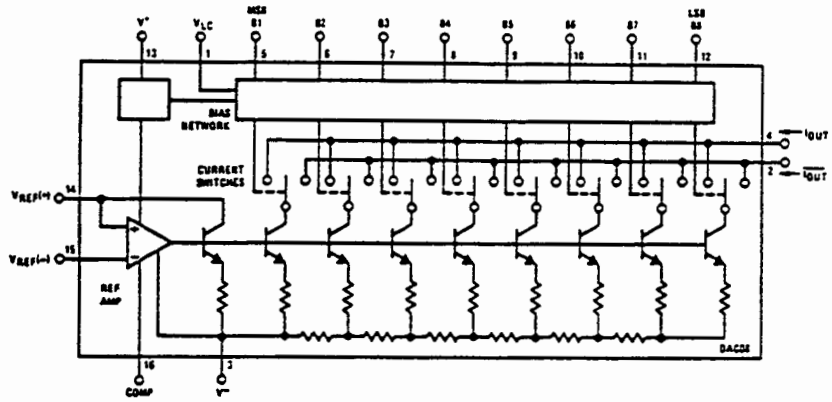
Output characteristics refer to both I_{OUT} and I_{OUT}.)

PARAMETER	CONDITIONS	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Resolution		8	8	8	8	8	8	8	8	8	Bits
Monotonicity		8	8	8	8	8	8	8	8	8	Bits
Nonlinearity				±0.1			±0.19			±0.39	%FS
t _s Settling Time	To ±1/2 LSB, All Bits Switched "ON" or "OFF", T _A = 25°C		100	135				100	150		ns
	DAC0800L					100	135				ns
	DAC0800LC					100	150				ns
t _{PLH} , t _{PML} Propagation Delay	T _A = 25°C										
	Each Bit		35	60		35	60		35	60	ns
	All Bits Switched		35	60		35	60		35	60	ns
TCFS	Full Scale Tempo		±10	±50		±10	±50		±10	±50	ppm/°C
VOC	Output Voltage Compliance	-10		18	-10		18	-10		18	V
	Full Scale Current Change < 1/2 LSB, R _{OUT} > 20 MΩ Typ										
I _{FS4}	Full Scale Current	1.984	1.992	2.000	1.96	1.99	2.04	1.94	1.99	2.04	mA
	V _{REF} = 10.000V, R ₁₄ = 5.000 kΩ R ₁₅ = 5.000 kΩ, T _A = 25°C										
I _{FS5}	Full Scale Symmetry		±0.5	±4.0		±1	±6.0		±2	±16	μA
I _{Z5}	Zero Scale Current		0.1	1.0		0.2	2.0		0.2	4.0	μA
I _{FSR}	Output Current Range	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
	V ⁻ = -5V V ⁻ = -5V to -18V	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
V _{IL}	Logic Input Levels										
	Logic "0"			0.8			0.8			0.8	V
V _{IH}	Logic "1"	2.0			2.0			2.0			V
	Logic Input Current										
	V _{LC} = 0V										
I _{IL}	Logic "0"	-2.0		-10	-2.0		-10	-2.0		-10	μA
I _{IH}	Logic "1"	0.002		10	0.002		10	0.002		10	μA
V _{IS}	Logic Input Swing	-10		18	-10		18	-10		18	V
V _{THR}	Logic Threshold Range	-10		13.5	-10		13.5	-10		13.5	V
I _{IS}	Reference Bias Current		-1.0	-3.0		-1.0	-3.0		-1.0	-3.0	μA
dI/dt	Reference Input Slew Rate		4.0	8.0		4.0	8.0		4.0	8.0	mA/μs
	(Figure 24)										
PSSIFS ₊ PSSIFS ₋	Power Supply Sensitivity		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	4.5V ≤ V ⁻ ≤ 18V -4.5V ≤ V ⁻ ≤ 18V I _{REF} = 1 mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current										
	V _S = ±5V, I _{REF} = 1 mA		2.3	3.8		2.3	3.8		2.3	3.8	mA
			-4.3	-5.8		-4.3	-5.8		-4.3	-5.8	mA
	V _S = 5V, -15V, I _{REF} = 2 mA		2.4	3.8		2.4	3.8		2.4	3.8	mA
			-6.4	-7.8		-6.4	-7.8		-6.4	-7.8	mA
	V _S = ±15V, I _{REF} = 2 mA		2.5	3.8		2.5	3.8		2.5	3.8	mA
			-6.5	-7.8		-6.5	-7.8		-6.5	-7.8	mA
P _D	Power Dissipation										
	±5V, I _{REF} = 1 mA		33	48		33	48		33	48	mW
	5V, -15V, I _{REF} = 2 mA ±15V, I _{REF} = 2 mA		108	136		108	136		108	136	mW
			135	174		135	174		135	174	mW

Note 1: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the dual-in-line J or D package must be derated based on a thermal resistance of 100°C/W, junction to ambient, 175°C/W for the molded dual-in-line N package.

DAC0800, DAC0801, DAC0802

Block Diagram



Equivalent Circuit

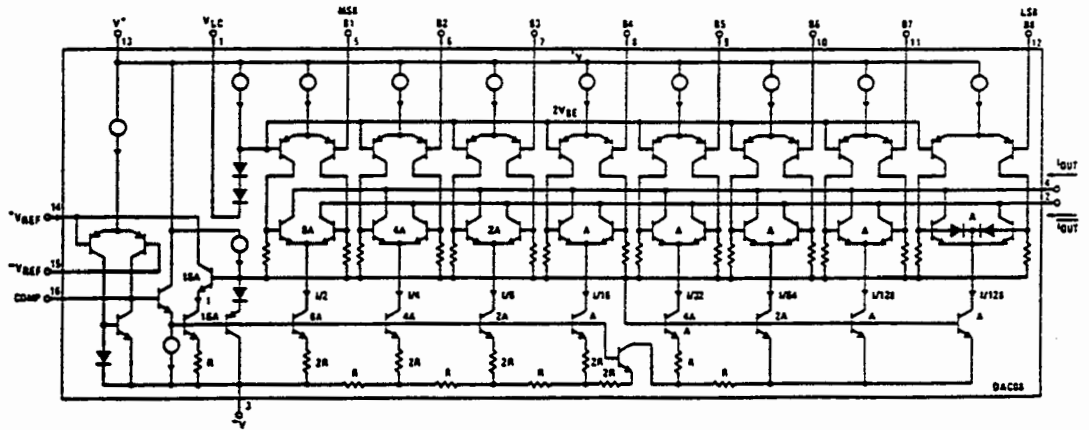


FIGURE 2

Typical Performance Characteristics

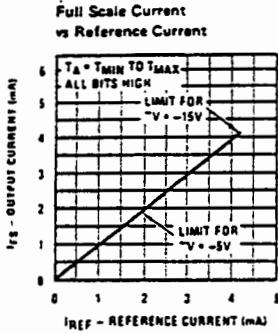


FIGURE 3

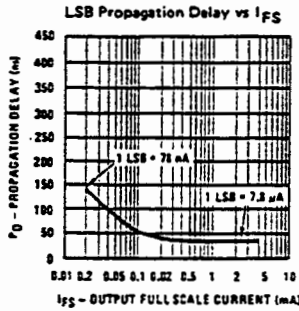
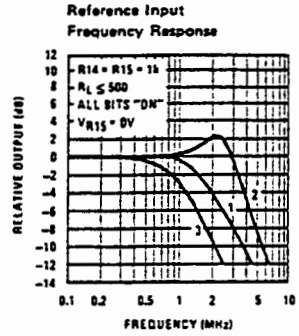
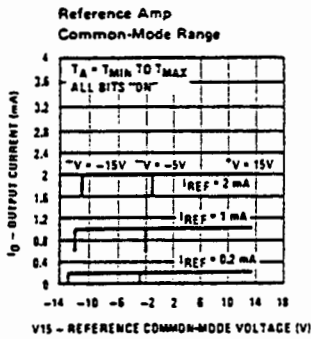


FIGURE 4



Curve 1: $C_C = 15 \text{ pF}$, $V_{IN} = 2 \text{ Vp-p}$ centered at 1V.
 Curve 2: $C_C = 15 \text{ pF}$, $V_{IN} = 50 \text{ mVp-p}$ centered at 200 mV.
 Curve 3: $C_C = 0 \text{ pF}$, $V_{IN} = 100 \text{ mVp-p}$ at 0V and applied through 50Ω connected to pin 14. 2V applied to R14.

FIGURE 5



Note. Positive common-mode range is always $(V+) - 1.5V$.

FIGURE 6

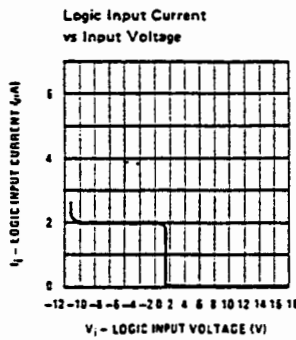


FIGURE 7

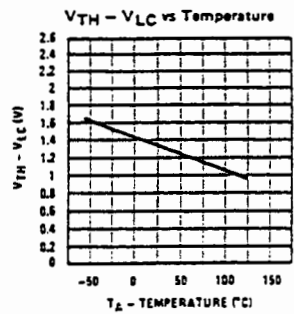


FIGURE 8

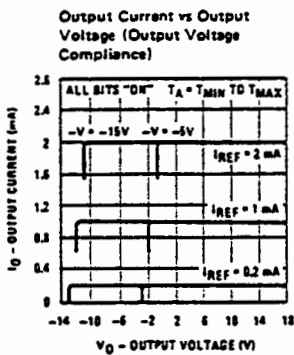


FIGURE 9

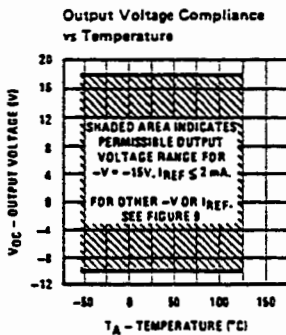
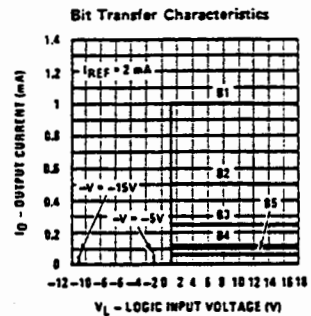


FIGURE 10



Note. B1-B8 have identical transfer characteristics. Bits are fully switched with less than 1/2 LSB error, at less than $\pm 100 \text{ mV}$ from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range ($V_{LC} = 0V$).

FIGURE 11

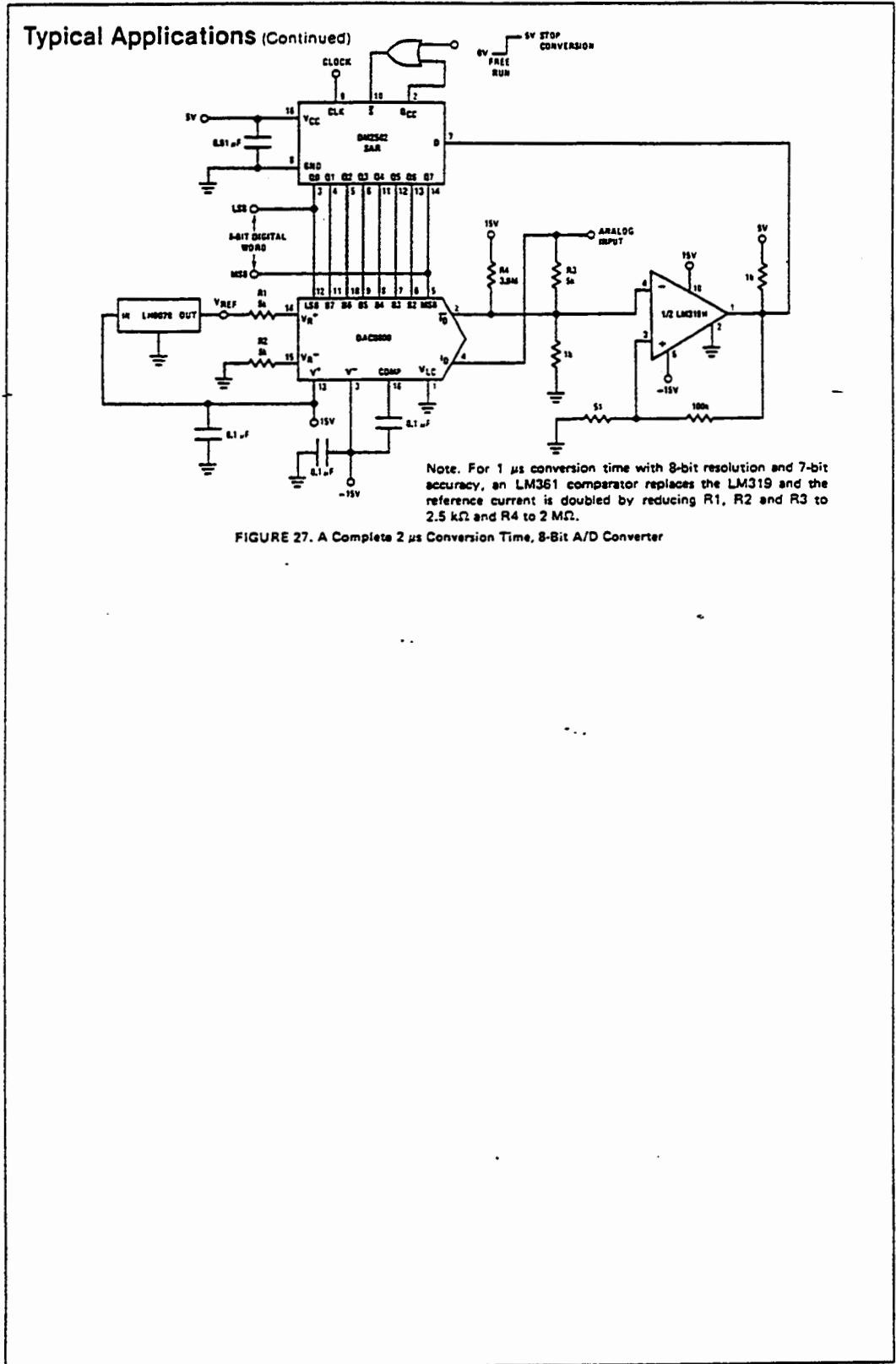


FIGURE 27. A Complete 2 μ s Conversion Time, 8-Bit A/D Converter

8-125

FUNCTIONAL INDEX

HCMOS 74HC/HCT/HCU FAMILY

All types are packaged in either a plastic DIL (P) or plastic SO mini-pack (T)

type no.	description	pins	classification	page
NAND/NOR gates/EXCLUSIVE-NOR gates				
HC/HCT00	quad 2-input NAND gate	14	SSI	103
HC/HCT02	quad 2-input NOR gate	14	SSI	107
HC/HCT03	quad 2-input NAND gate (with open drain outputs)	14	SSI	111
HC/HCT10	triple 3-input NAND gate	14	SSI	133
HC/HCT20	dual 4-input NAND gate	14	SSI	149
HC/HCT27	triple 3-input NOR gate	14	SSI	157
HC/HCT30	8-input NAND gate	14	SSI	161
HC/HCT4002	dual 4-input NOR gate	14	SSI	763
HC7266	quad 2-input EXCLUSIVE- NOR gate	14	SSI	1171
AND/OR/EXCLUSIVE-OR gates				
HC/HCT08	quad 2-input AND gate	14	SSI	129
HC/HCT11	triple 3-input AND gate	14	SSI	137
HC/HCT21	dual 4-input AND gate	14	SSI	153
HC/HCT32	quad 2-input OR gate	14	SSI	165
HC58	dual AND-or gate	14	SSI	173
HC/HCT86	quad 2-input EXCLUSIVE-OR gate	14	SSI	203
HC/HCT4075	triple 3-input OR gate	14	SSI	935
inverters/buffers/line drivers/level shifters				
HC/HCT04	hex inverter	14	SSI	117
HCU04	hex inverter (unbuffered)	14	SSI	121
HC/HCT125*	quad buffer/line driver; 3-state; output enable active LOW	14	MSI	239
HC/HCT126*	quad buffer/line driver; 3-state; output enable active HIGH	14	MSI	245
HC/HCT240*	octal buffer/line driver; 3-state; inverting	20	MSI	477
HC/HCT241*	octal buffer/line driver; 3-state; output enable active LOW or HIGH	20	MSI	483
HC/HCT244*	octal buffer/line driver; 3-state; output enable active LOW	20	MSI	489
HC/HCT365*	hex buffer/line driver; 3-state	16	MSI	595
HC/HCT366*	hex buffer/line driver; 3-state; inverting	16	MSI	599
HC/HCT367*	hex buffer/line driver; 3-state	16	MSI	603
HC/HCT368*	hex buffer/line driver; 3-state; inverting	16	MSI	607
HC/HCT540*	octal buffer/line driver; 3-state; inverting	20	MSI	661
HC/HCT541*	octal buffer/line driver; 3-state;	20	MSI	667
HC4049	hex inverting HIGH-to-LOW level shifter	16	SSI	839
HC4050	hex HIGH-to-LOW level shifter	16	SSI	845

* Types with a bus-driver output stage.

Philips Components

FUNCTIONAL INDEX		HCMOS 74HC/HCT/HCU FAMILY		
type no.	description	pins	classification	page
HC/HCT7540*	octal Schmitt trigger buffer/line driver; 3-state inverting	20	MSI	1231
HC/HCT7541*	octal Schmitt trigger buffer/line driver; 3-state	20	MSI	1237
Flip-flops/latches/registers				
HC/HCT73	dual JK flip-flop with reset; negative-edge trigger; supply on centre pins	14	FF	177
HC/HCT74	dual D-type flip-flop with set and reset; positive-edge trigger	14	FF	183
HC/HCT75	quad bistable transparent latch	16	FF	189
HC/HCT107	dual JK flip-flop with reset; negative-edge trigger	14	MSI	213
HC/HCT109	dual JK flip-flop with set and reset; positive-edge trigger	16	FF	219
HC/HCT112	dual JK flip-flop with set and reset; negative-edge trigger	16	FF	225
HC/HCT173*	dual D-type flip-flop; positive-edge trigger; 3-state	16	MSI	361
HC/HCT174	hex D-type flip-flop with reset; positive-edge trigger	16	MSI	367
HC/HCT175	quad D-type flip-flop with reset; positive-edge trigger	16	MSI	373
HC/HCT259	8-bit addressable latch	16	MSI	537
HC/HCT273	octal D-type flip-flop with reset; positive-edge trigger	20	MSI	543
HC/HCT373*	octal D-type transparent latch; 3-state	20	MSI	611
HC/HCT374*	octal D-type flip-flop; positive-edge trigger; 3-state	20	MSI	617
HC/HCT377	octal D-type flip-flop with data enable; positive-edge trigger	20	MSI	623
HC/CHT533*	octal D-type transparent latch; 3-state; inverting	20	MSI	649
HC/HCT534*	octal D-type flip-flop; positive-edge trigger; 3-state; inverting	20	MSI	655
HC/HCT563*	octal D-type transparent latch; 3-state; inverting; bus oriented pin-out	20	MSI	673
HC/HCT564*	octal D-type flip-flop; positive-edge trigger; 3-state; inverting; bus oriented pin-out	20	MSI	679
HC/HCT573*	octal D-type transparent latch; 3-state; bus oriented pin-out	20	MSI	685
HC/HCT574*	octal D-type flip-flop; positive-edge trigger; 3-state; bus oriented pin-out	20	MSI	691
HC/HCT670*	4 x 4 register file; 3-state	16	MSI	751
HC/HCT7030	9-bit x 64-word FIFO register; 3-state	28	MSI	1113
HC/HCT40105	4-bit x 16-word FIFO register; 3-state	16	MSI	1307
HC/HCT7403	4-bit x 64-word FIFO register; 3-state	16	LSI	1175
HC/HCT7404	5-bit x 64-word FIFO register; 3-state	18/20	LSI	1203
Shift registers				
HC/HCT164	8-bit serial-in/parallel-out shift register	14	MSI	343
HC/HCT165	8-bit parallel-in/serial-out shift register	16	MSI	349
HC/HCT166	8-bit parallel-in/serial-out shift register; with reset	16	MSI	355
HC/HCT194	4-bit bidirectional universal shift register	16	MSI	437
HC/HCT195	4-bit parallel access shift register	16	MSI	445

* Types with a bus-driver output-stage.

December 1990

10

FUNCTIONAL INDEX

HCMOS 74HC/HCT/HCU FAMILY

type no.	description	pins	classification	page
HC/HCT299*	8-bit universal shift register; 3-state	20	MSI	569
HC/HCT595	8-bit serial-in/serial -or parallel-out shift register with output latches; 3-states	16	MSI	703
HC/HCT597	8-bit shift register with input flip-flops	16	MSI	715
HC/HCT4015	dual 4-bit serial-in/parallel-out shift register	16	MSI	767
HC/HCT4094	8-stage shift-and-store bus register	16	MSI	939
HC/HCT7597	8-bit shift register with input latches	16	MSI	1243
HC/HCT7731	quad 64-bit static shift register	16	LSI	1253
HC/HCT40104*	4-bit bidirectional universal shift register; 3-state	16	MSI	1301

Arithmetic circuits

HC/HCT85	4-bit magnitude comparator	16	MSI	195
HC/HCT181	4-bit arithmetic logic unit	24	MSI	379
HC/HCT182	look-ahead carry generator	16	MSI	393
HC/HCT280	9-bit odd/even parity generator/checker	14	MSI	549
HC/HCT283	4-bit binary full adder with fast carry	16	MSI	555
HC/HCT583	4-bit BCD full adder with fast carry	16	MSI	697
HC/HCT688	8-bit magnitude comparator	20	MSI	757
HC/HCT7080	16-bit odd/even parity generator/checker	20	MSI	1161

Counters

HC/HCT93	4-bit binary ripple counter	14	MSI	207
HC/HCT160	presettable synchronous BCD decade counter; asynchronous reset	16	MSI	313
HC/HCT161	presettable synchronous 4-bit binary counter; asynchronous reset	16	MSI	321
HC/HCT162	presettable synchronous BCD decade counter; synchronous reset	16	MSI	327
HC/HCT163	presettable synchronous 4-bit binary counter; synchronous reset	16	MSI	335
HC/HCT190	presettable synchronous BCD decade up/down counter	16	MSI	401
HC/HCT191	presettable synchronous 4-bit binary up/down counter	16	MSI	411
HC/HCT192	presettable synchronous BCD decade up/down counter	16	MSI	421
HC/HCT193	presettable synchronous 4-bit binary up/down counter	16	MSI	429
HC/HCT390	dual decade ripple counter	16	MSI	629
HC/HCT393	dual 4-bit binary ripple counter	14	MSI	635
HC/HCT4017	Johnson decade counter with 10 decoded outputs	16	MSI	785
HC/HCT4020	14-stage binary ripple counter	16	MSI	793
HC/HCT4024	7-stage binary ripple counter	14	MSI	799
HC/HCT4040	12-stage binary ripple counter	16	MSI	805

* Types with a bus-driver output stage.

Philips Components

FUNCTIONAL INDEX

HCMOS 74HC/HCT/HCU FAMILY

type no.	description	pins	classification	page
HC/HCT4059	programmable divide-by-n counter	24	MSI	889
HC/HCT4060	14-stage binary ripple counter with oscillator	16	MSI	899
HC/HCT4510	BCD up-down counter	16	MSI	1001
HC/HCT4516	binary up/down counter	16	MSI	1033
HC/HCT4518	dual synchronous BCD counter	16	MSI	1043
HC/HCT4520	dual synchronous 4-bit binary counter	16	MSI	1049
HC/HCT6323A	programmable ripple counter with oscillator; 3-state	8	MSI	1097
HC/HCT40102	8-stage synchronous BCD down counter	16	MSI	1283
HC/HCT40103	8-bit synchronous binary down counter	16	MSI	1291
Multiplexers				
HC/HCT151	8-input multiplexer	16	MSI	283
HC/HCT153	dual 4-input multiplexer	16	MSI	289
HC/HCT157	quad 2-input multiplexer	16	MSI	301
HC/HCT158	quad 2-input multiplexer; inverting	16	MSI	307
HC/HCT251	8-input multiplexer; 3-state	16	MSI	513
HC/HCT253*	dual 4-input multiplexer; 3-state	16	MSI	519
HC/HCT257*	quad 2-input multiplexer; 3-state	16	MSI	525
HC/HCT258	quad 2-input multiplexer; 3-state; inverting	16	MSI	531
HC/HCT354*	8-input multiplexer/register with transparent latches; 3-state	20	MSI	577
HC/HCT356*	8-input multiplexer/register; 3-state	20	MSI	587
Decoders/demultiplexers				
HC/HCT42	BCD to decimal decoder (1-of-10)	16	MSI	169
HC/HCT137	3-to-8 line decoder/demultiplexer with address latches	16	MSI	259
HC/HCT138	3-to-8 line decoder/demultiplexer; inverting	16	MSI	267
HC/HCT139	dual 2-to-4 line decoder/demultiplexer	16	MSI	273
HC/HCT147	10-to-4 line priority encoder	16	MSI	279
HC/HCT154	4-to-16 line decoder/demultiplexer	24	MSI	295
HC/HCT237	3-to-8 line decoder/demultiplexer with address latches	16	MSI	463
HC/HCT238	3-to-8 line decoder/demultiplexer	16	MSI	471
HC/HCT4511	BCD to 7-segment latch/decoder/driver	16	MSI	1011
HC/HCT4514	4-to-16 line decoder/demultiplexer with input latches	24	MSI	1019
HC/HCT4515	4-to-16 line decoder/demultiplexer with input latches; inverting	24	MSI	1027
Switches/multiplexers/demultiplexers				
HC/HCT4016	quad bilateral switches (uncompensated switches)	14	SSI	773
HC/HCT4051	8-channel analog multiplexer/demultiplexer	16	MSI	851
HC/HCT4052	dual 4-channel analog multiplexer/demultiplexer	16	MSI	863
HC/HCT4053	triple 2-channel analog multiplexer/demultiplexer	16	MSI	875
HC/HCT4066	quad bilateral switches	14	SSI	909

* Types with a bus-driver output stage.

December 1990

12

FUNCTIONAL INDEX		HCMOS 74HC/HCT/HCU FAMILY		
type no.	description	pins	classification	page
HC/HCT4067	16-channel analog multiplexer/demultiplexer	24	MSI	921
HC/HCT4316	quad bilateral switches; with separate analog ground	16	MSI	945
HC/HCT4351	8-channel analog multiplexer/demultiplexer with latch	20	MSI	959
HC/HCT4352	dual 4-channel analog multiplexer/demultiplexer with latch	20	MSI	973
HC/HCT4353	triple 2-channel analog multiplexer/demultiplexer with latch	20	MSI	987
Bus transceivers				
HC/HCT242*	quad bus transceiver; 3-state; inverting	14	MSI	489
HC/HCT243*	quad bus transceiver; 3-state;	14	MSI	495
HC/HCT245*	octal bus transceiver; 3-state	20	MSI	507
HC/HCT640*	octal bus transceiver; 3-state; inverting	20	MSI	723
HC/HCT643*	octal bus transceiver; 3 state; true/inverting	20	MSI	729
HC/HC/646*	octal bus transceiver/register/3-state	24	MSI	735
HC/HCT648*	octal bus transceiver/register/3-state; inverting	24	MSI	743
HC/HCT7245*	octal schmitt-trigger transceiver; 3-state	20	MSI	1167
Schmitt triggers				
HC/HCT14	hex inverting Schmitt trigger	14	SSI	141
HC/HCT132	quad 2-input NAND Schmitt trigger	14	SSI	251
HC/HCT9014	nine wide Schmitt trigger buffer/line driver; inverting	20	MSI	1259
HC/HCT9015	nine wide Schmitt trigger buffer/line driver	20	MSI	1265
HC/HCT9114	nine wide Schmitt trigger buffer; open drain output; inverting	20	MSI	1271
HC/HCT9115	nine wide Schmitt trigger buffer; open drain output	20	MSI	1277
One-shot multivibrators				
HC/HCT123	dual retriggerable monostable multivibrator with reset	16	MSI	231
HC/HCT221	dual non-retriggerable monostable multivibrator with reset	16	MSI	451
HC/HCT423	dual retriggerable monostable multivibrator with reset	16	MSI	641
HC/HCT4538	dual retriggerable precision monostable multivibrator	16	MSI	1055
HC/HCT5555	programmable delay timer with oscillator	16	MSI	1075
Miscellaneous				
HC/HCT297	digital phase-locked-loop filter	16	MSI	561
HC/HCT4046A	phase-locked-loop with VCO	16	MSI	811
HC/HCT7046A	phase-locked-loop with lock detector	16	MSI	1131

* Types with a bus-driver output stage.

Philips Components

NUMERICAL INDEX

HCMOS74HC/HCT/HCU FAMILY

type no.	description	page
HC/HCT00	quad 2-input NAND gate	103
HC/HCT02	quad 2-input NOR gate	107
HC/HCT03	quad 2-input NAND gate (with open drain outputs)	111
HC/HCT04	hex inverter	117
HCU04	hex inverter (unbuffered)	121
HC/HCT08	quad 2-input AND gate	129
HC/HCT10	triple 3-input NAND gate	133
HC/HCT11	triple 3-input AND gate	137
HC/HCT14	hex inverting Schmitt trigger	141
HC/HCT20	dual 4-input NAND gate	149
HC/HCT21	dual 4-input AND gate	153
HC/HCT27	triple 3-input NOR gate	157
HC/HCT30	8-input NAND gate	161
HC/HCT32	quad 2-input OR gate	165
HC/HCT42	BCD to decimal decoder (1-of-10)	169
HC58	dual AND-OR gate	173
HC/HCT73	dual JK flip-flop with reset; negative-edge trigger; supply on centre pins	177
HC/HCT74	dual D-type flip-flop with set and reset; positive-edge trigger	183
HC/HCT75	quad bistable transparent latch	189
HC/HCT85	4-bit magnitude comparator	195
HC/HCT86	quad 2-input EXCLUSIVE-OR gate	203
HC/HCT93	4-bit binary ripple counter	207
HC/HCT107	dual JK flip-flop with reset; negative-edge trigger	213
HC/HCT109	dual JK flip-flop with set and reset; positive-edge trigger	219
HC/HCT112	dual JK flip-flop with set and reset; negative-edge trigger	225
HC/HCT123	dual retriggerable monostable multivibrator with reset	231
HC/HCT125*	quad buffer/line driver; 3-state; output enable active LOW	239
HC/HCT126*	quad buffer/line driver; 3-state; output enable active HIGH	245
HC/HCT132	quad 2-input NAND Schmitt trigger	251
HC/HCT137	3-to-8 line decoder/demultiplexer with address latches; inverting	259
HC/HCT138	3-to-8 line decoder/demultiplexer; inverting	267
HC/HCT139	dual 2-to-4 line decoder/demultiplexer	273
HC/HCT147	10-to-4 priority line encoder	279
HC/HCT151	8-input multiplexer	283
HC/HCT153	dual 4-input multiplexer	289

* Types with a bus-driver output stage.

December 1990

14

NUMERICAL INDEX

HCMOS 74HC/HCT/HCU FAMILY

type no.	description	page
HC/HCT154	4-to-16 line decoder/demultiplexer	295
HC/HCT157	quad 2-input multiplexer	301
HC/HCT158	quad 2-input multiplexer; inverting	307
HC/HCT160	presettable synchronous BCD decade counter; asynchronous reset	313
HC/HCT161	presettable synchronous 4-bit binary counter; asynchronous reset	321
HC/HCT162	presettable synchronous BCD decade counter; synchronous reset	327
HC/HCT163	presettable synchronous 4-bit binary counter; synchronous reset	335
HC/HCT164	8-bit serial-in/parallel-out shift register	343
HC/HCT165	8-bit parallel-in/serial-out shift register	349
HC/HCT166	8-bit parallel-in/serial-out shift register; with reset	355
HC/HCT173*	quad D-type flip-flop; positive-edge trigger; 3-state	361
HC/HCT174	hex D-type flip-flop with reset; positive-edge trigger	367
HC/HCT175	quad D-type flip-flop with reset; positive-edge trigger	373
HC/HCT181	4-bit arithmetic logic unit	379
HC/HCT182	look-ahead carry generator	393
HC/HCT190	presettable synchronous BCD decade up/down counter	401
HC/HCT191	presettable synchronous 4-bit binary up/down counter	411
HC/HCT192	presettable synchronous BCD decade up/down counter	421
HC/HCT193	presettable synchronous 4-bit binary up/down counter	429
HC/HCT194	4-bit bidirectional universal shift register	437
HC/HCT195	4-bit parallel access shift register	445
HC/HCT221	dual non-retriggerable monostable multivibrator with reset	451
HC/HCT237	3-to-8 line decoder/demultiplexer with address latches	463
HC/HCT238	3-to-8 line decoder/demultiplexer	471
HC/HCT240*	octal buffer/line driver; 3-state; inverting	477
HC/HCT241*	octal buffer/line driver; 3-state; output enables active LOW or HIGH	483
HC/HCT242*	quad bus transceiver; 3-state; inverting	489
HC/HCT243*	quad bus transceiver; 3-state	495
HC/HCT244*	octal buffer/line driver; 3-state; output enable active LOW	501
HC/HCT245*	octal bus transceiver; 3-state	507
HC/HCT251	8-input multiplexer; 3-state	513
HC/HCT253*	dual 4-input multiplexer; 3-state	519
HC/HCT257*	quad 2-input multiplexer; 3-state	525
HC/HCT258	quad 2-input multiplexer; 3-state; inverting	531
HC/HCT259	8-bit addressable latch	537
HC/HCT273	octal D-type flip-flop with reset; positive-edge trigger	543
HC/HCT280	9-bit odd/even parity generator/checker	549
HC/HCT283	4-bit binary full adder with fast carry	555
HC/HCT297	digital phase-locked-loop filter	561

* Types with a bus-driver output stage.

Philips Components

NUMERICAL INDEX

HCMOS 74HC/HCT/HCU FAMILY

type no.	description	page
HC/HCT299*	8-bit universal shift register; 3-state	569
HC/HCT354*	8-input multiplexer/register with transparent latches; 3-state	577
HC/HCT356*	8-input multiplexer/register; 3-state	587
HC/HCT365*	hex buffer/line driver; 3-state	595
HC/HCT366*	hex buffer/line driver; 3-state; inverting	599
HC/HCT367*	hex buffer/line driver; 3-state	603
HC/HCT368*	hex buffer/line driver; 3-state; inverting	607
HC/HCT373*	octal D-type transparent latch; 3-state	611
HC/HCT374*	octal D-type flip-flop; positive-edge trigger; 3-state	617
HC/HCT377*	octal D-type flip-flop with data enable; positive-edge trigger	623
HC/HCT390	dual decade ripple counter	629
HC/HCT393	dual 4-bit binary ripple counter	635
HC/HCT423	dual retriggerable monostable multivibrator with reset	641
HC/HCT533*	octal D-type transparent latch; 3-state; inverting	649
HC/HCT534*	octal D-type flip-flop; positive-edge trigger; 3-state; inverting	655
HC/HCT540*	octal buffer/line driver; 3-state; inverting	661
HC/HCT541*	octal buffer/line driver; 3-state	667
HC/HCT563*	octal D-type transparent latch; 3-state; inverting; bus oriented pin-out	673
HC/HCT564*	octal D-type flip-flop; positive-edge trigger; inverting; bus oriented pin-out	679
HC/HCT573*	octal D-type transparent latch; 3-state; bus oriented pin-out	685
HC/HCT574*	octal D-type flip-flop; positive-edge trigger; 3-state; bus oriented pin-out	691
HC/HCT583	4-bit BCD full adder with fast carry	697
HC/HCT595	8-bit serial-in/serial-or parallel-out shift register with output latches; 3-state	703
HC/HCT597	8-bit shift register with input flip-flops	715
HC/HCT640*	octal bus transceiver; 3-state; inverting	723
HC/HCT643*	octal bus transceiver; 3-state; true/inverting	729
HC/HCT646*	octal bus transceiver/register; 3-state	735
HC/HCT648*	octal bus transceiver/register; 3-state; inverting	743
HC/HCT670*	4 x 4 register file; 3-state	751
HC/HCT688	8-bit magnitude comparator	757
HC/HCT4002	dual 4-input NOR gate	763
HC/HCT4015	dual 4-bit serial-in/parallel-out shift register	767
HC/HCT4016	quad bilateral switches (uncompensated switches)	773
HC/HCT4017	Johnson decade counter with 10 decoded outputs	785
HC/HCT4020	14-stage binary ripple counter	793

* Types with a bus-driver output stage.

NUMERICAL INDEX

HCMOS 74HC/HCT/HCU FAMILY

type no.	description	page
HC/HCT4024	7-stage binary ripple counter	799
HC/HCT4040	12-stage binary ripple counter	805
HC/HCT4046A	phase-locked-loop with VCO	811
HC4049	hex inverting HIGH-to-LOW level shifter	839
HC4050	hex HIGH-to-LOW level shifter	845
HC/HCT4051	8-channel analog multiplexer/demultiplexer	851
HC/HCT4052	dual 4-channel analog multiplexer/demultiplexer	863
HC/HCT4053	triple 2-channel analog multiplexer/demultiplexer	875
HC/HCT4059	programmable divide-by-n counter	889
HC/HCT4060	14-stage binary ripple counter with oscillator	899
HC/HCT4066	quad bilateral switches	909
HC/HCT4067	16-channel analog multiplexer/demultiplexer	921
HC/HCT4075	triple 3-input OR gate	935
HC/HCT4094	8-stage shift-and-store bus register	939
HC/HCT4316	quad bilateral switches; with separate analog ground	945
HC/HCT4351	8-channel analog multiplexer/demultiplexer with latch	959
HC/HCT4352	dual 4-channel analog multiplexer/demultiplexer with latch	973
HC/HCT4353	triple 2-channel analog multiplexer/demultiplexer with latch	987
HC/HCT4510	BCD up/down counter	1001
HC/HCT4511	BCD to 7-segment latch/decoder/driver	1011
HC/HCT4514	4-to-16 line decoder/demultiplexer with input latches	1019
HC/HCT4515	4-to-16 line decoder/demultiplexer with input latches; inverting	1027
HC/HCT4516	binary up/down counter	1033
HC/HCT4518	dual synchronous BCD counter	1043
HC/HCT4520	dual synchronous 4-bit binary counter	1049
HC/CHT4538	dual retriggerable precision monostable multivibrator	1055
HC/HCT4543	BCD to 7-segment latch/decoder/driver for LCDs	1065
HC/HCT5555	programmable delay timer with oscillator	1075
HC/HCT6323A	programmable ripple counter with oscillator; 3-state	1097
HC/HCT7030	9-bit x 64-word FIFO register; 3-state	1113
HC/HCT7046A	phase-locked-loop with lock detector	1131
HC/HCT7080	16-bit odd/even parity generator/checker	1161
HC/HCT7245*	octal schmitt-trigger transceiver; 3-state	1167
HC7266	quad 2-input EXCLUSIVE-NOR gate	1171
HC/HCT7403	4-bit x 64 word FIFO register; 3-state	1175

* Types with a bus-driver output stage.

HC/HCT7404	5-bit x 64 word FIFO register; 3-state	1203
HC/HCT7540*	octal Schmitt trigger buffer/line driver; 3-state; inverting	1231
HC/HCT7541*	octal Schmitt trigger buffer/line driver; 3/state	1237
HC/HCT7597	8-bit shift register with input latches	1243
HC/HCT7731	quad 64-bit static shift register	1253
HC/HCT9014	nine wide Schmitt trigger buffer/line driver; inverting	1259
HC/HCT9015	nine wide Schmitt trigger buffer/line driver	1265
HC/HCT9114	nine wide Schmitt trigger buffer; open drain outputs; inverting	1271
HC/HCT9115	nine wide Schmitt trigger buffer; open drain outputs	1277
HC/HCT40102	8-bit synchronous BCD down counter	1283
HC/HCT40103	8-bit synchronous binary down counter	1291
HC/HCT40104*	4-bit bidirectional universal shift register; 3-state	1301
HC/HCT40105	4-bit x 16-word FIFO register; 3-state	1307

74HC/HCT157
MSI

QUAD 2-INPUT MULTIPLEXER

FEATURES

- Non-inverting data path
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT157 are high-speed S-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A. The 74HC/HCT157 are quad 2-input multiplexers which select 4 bits of data from two sources under the control of a common data select input (S). The four outputs present the selected data in the true (non-inverted) form. The enable input (E) is active LOW. When E is HIGH, all of the outputs (1Y to 4Y) are forced LOW regardless of all other input conditions.

Moving the data from two groups of registers to four common output buses is a common use of the "157". The state of the common data select input (S) determines the particular register from which the data comes. It can also be used as function generator.

The device is useful for implementing highly irregular logic by generating any four of the 16 different functions of two variables with one variable common.

The "157" is the logic implementation of a 4-pole, 2-position switch, where the position of the switch is determined by the logic levels applied to S.

The logic equations are:

$$1Y = \bar{E} \cdot (1I_1 \cdot S + 1I_0 \cdot \bar{S})$$

$$2Y = \bar{E} \cdot (2I_1 \cdot S + 2I_0 \cdot \bar{S})$$

$$3Y = \bar{E} \cdot (3I_1 \cdot S + 3I_0 \cdot \bar{S})$$

$$4Y = \bar{E} \cdot (4I_1 \cdot S + 4I_0 \cdot \bar{S})$$

The "157" is identical to the "158" but has non-inverting (true) outputs.

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t _{PHL} / t _{PLH}	propagation delay nI ₀ , nI ₁ to nY E to nY S to nY	C _L = 15 pF V _{CC} = 5 V	11	13	ns
			11	12	ns
			12	19	ns
C _I	input capacitance		3.5	3.5	pF
CPD	power dissipation capacitance per multiplexer	notes 1 and 2	70	70	pF

GND = 0 V; T_{amb} = 25 °C; t_r = t_f = 6 ns

Notes

1. CPD is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = CPD \times V_{CC}^3 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz

C_L = output load capacitance in pF

f_o = output frequency in MHz

V_{CC} = supply voltage in V

Σ (C_L × V_{CC}² × f_o) = sum of outputs

2. For HC the condition is V_I = GND to V_{CC}

For HCT the condition is V_I = GND to V_{CC} - 1.5 V

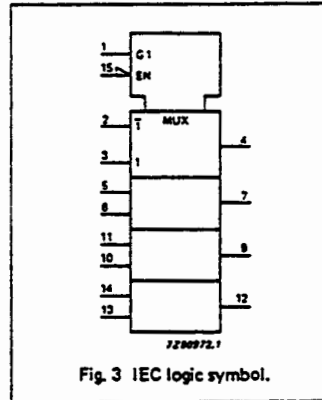
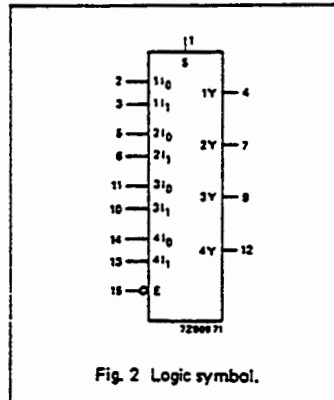
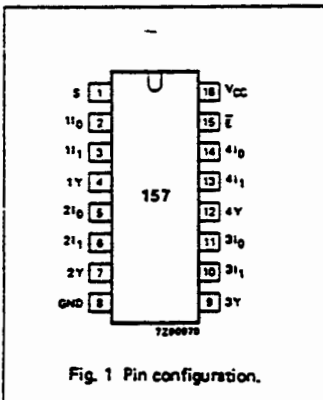
PACKAGE OUTLINES

16-lead DIL; plastic (SOT38Z).

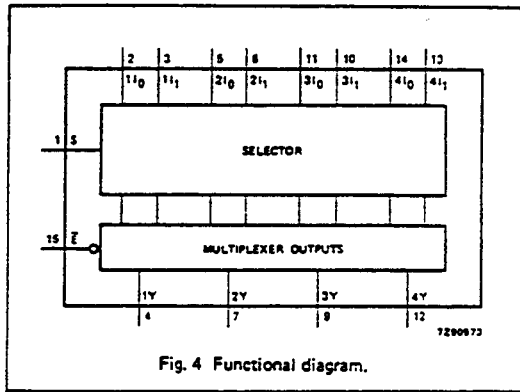
16-lead mini-pack; plastic (SO16; SOT109A).

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	S	common data select input
2, 5, 11, 14	1I ₀ to 4I ₀	data inputs from source 0
3, 6, 10, 13	1I ₁ to 4I ₁	data inputs from source 1
4, 7, 9, 12	1Y to 4Y	multiplexer outputs
8	GND	ground (0 V)
15	E	enable input (active LOW)
16	V _{CC}	positive supply voltage



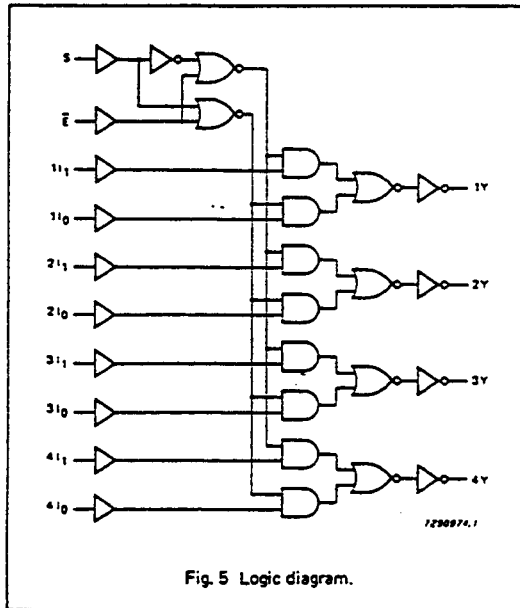
74HC/HCT157
MSI



FUNCTION TABLE

INPUTS				OUTPUT
\bar{E}	S	nI_0	nI_1	nY
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

H = HIGH voltage level
L = LOW voltage level
X = don't care



Quad 2-input multiplexer

74HC/HCT157
MSI

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see chapter "HCMOS family characteristics", section "Family specifications".

Output capability: standard
ICC category: MSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)						UNIT	TEST CONDITIONS		
		74HC							VCC V	WAVEFORMS	
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.				max.
t_{PHL}/t_{PLH}	propagation delay n1 ₀ to nY; n1 ₁ to nY		36 13 10	125 25 21		155 31 26		190 38 32	ns	2.0 4.5 6.0	Fig. 7
t_{PHL}/t_{PLH}	propagation delay E to nY		39 14 11	115 23 20		145 29 25		175 35 30	ns	2.0 4.5 6.0	Fig. 6
t_{PHL}/t_{PLH}	propagation delay S to nY		41 15 12	125 25 21		155 31 26		190 38 32	ns	2.0 4.5 6.0	Fig. 7
t_{THL}/t_{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Figs 6 and 7

March 1988

303

DEVELOPMENT DATA

This data sheet contains advance information and specifications are subject to change without notice.

FCB61C65(L/LL)

8192 x 8-BIT HIGH SPEED CMOS LOW-POWER STATIC RAM

GENERAL DESCRIPTION

The FCB61C65(L/LL) is a 65536-bit high speed, low power, static random access memory organized as 8192 words of 8 bits each. The chip enable inputs $\overline{CE1}$ and $\overline{CE2}$ are available for memory expansion and to control the low-power/standby mode.

The device operates from a 5 V power supply and is available in 45 ns, 55 ns, and 70 ns access time versions.

The FCB61C65(L/LL) is ideally suited for memory applications where fast access time, low power and ease of use are required.

The FCB61C65(L/LL) is a CMOS device which uses a 6 transistor memory cell.

The IC is fabricated in a CMOS double-metal single-poly process using ion-implanted silicon gate technology.

Features

- Pin compatible with EPROM type 2764
- Operating supply voltage $5\text{ V} \pm 10\%$
- All inputs and outputs protected against static charge
- Automatic power-down after a completed read access (see DC characteristics)
- Choice of access time
- Low current consumption: active 70 mA maximum
standby (TTL) 3 mA maximum
standby (CMOS) 100 μA maximum (FCB61C65L only)
standby (CMOS) 1 μA maximum (FCB61C65LL only)
- Suitable for operation with battery back-up (FCB61C65L/LL only)
data retention voltage 2 V minimum
data retention current (L/LL) 50 $\mu\text{A}/1\ \mu\text{A}$ maximum
- Latched data outputs giving stable data between consecutive accesses
- Easy memory expansion
- Common data input/output interface
- All inputs and outputs directly TTL and CMOS compatible
- Three state outputs with wired-OR capability

Ordering information

Order number			Access time
FCB61C65-45P	FCB61C65L-45P	FCB61C65LL-45P	45 ns
FCB61C65-55P	FCB61C65L-55P	FCB61C65LL-55P	55 ns
FCB61C65-70P	FCB61C65L-70P	FCB61C65LL-70P	70 ns
FCB61C65-45T	FCB61C65L-45T	FCB61C65LL-45T	45 ns
FCB61C65-55T	FCB61C65L-55T	FCB61C65LL-55T	55 ns
FCB61C65-70T	FCB61C65L-70T	FCB61C65LL-70T	70 ns

PACKAGE OUTLINES

FCB61C65(L/LL)-XXP: 28-lead DIL; (SOT117).

FCB61C65(L/LL)-XXT: 28-lead mini-pack; plastic (SO28XL; SOT213).

August 1989

63

FCB61C65(L/LL)

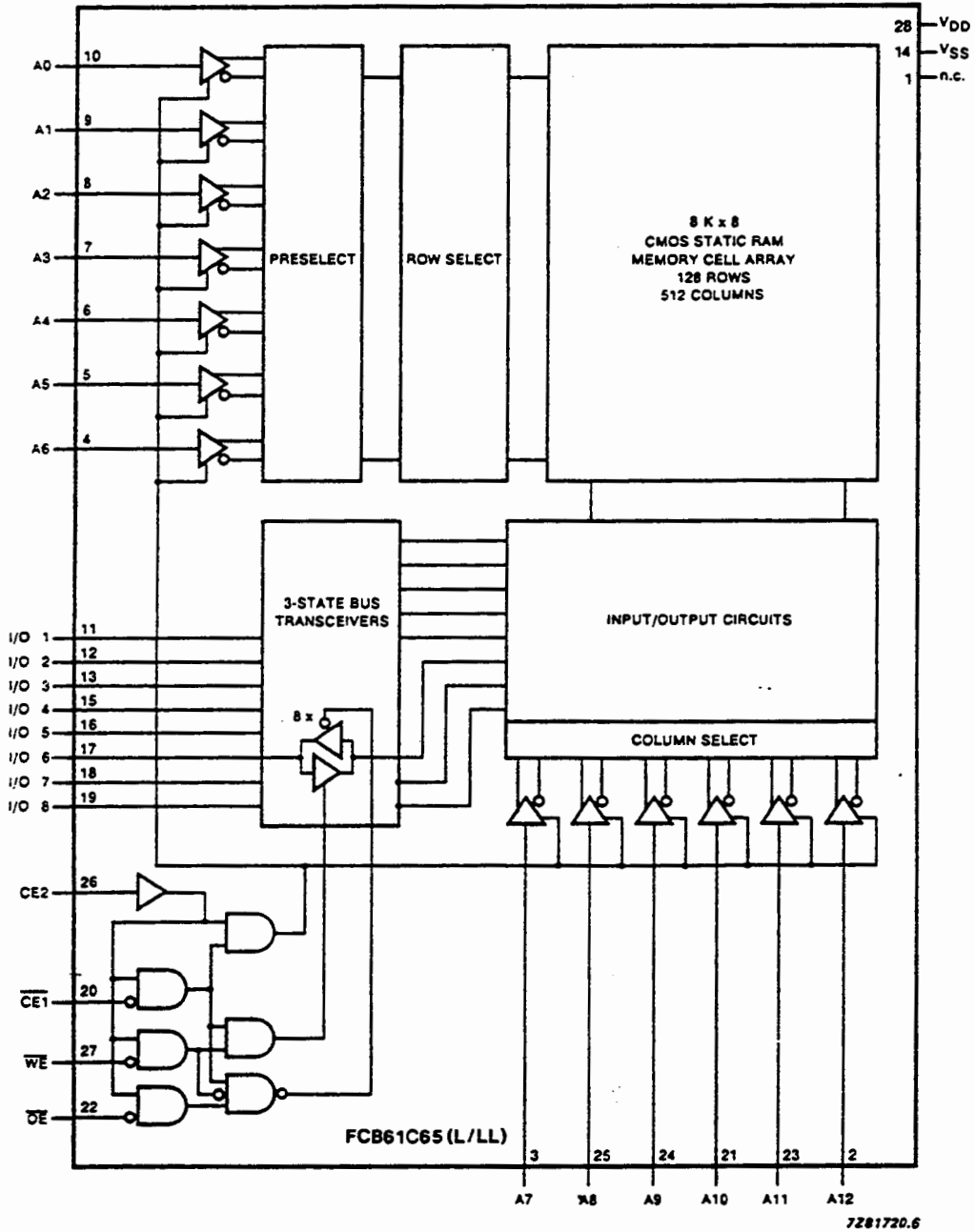


Fig.1 Block diagram.

PINNING

1	n.c.	not connected
2	A12	address input
3 to 10	A0 to A7	address inputs
11 to 13	I/O 1 to I/O 3	data inputs/outputs
14	V _{SS}	ground
15 to 19	I/O 4 to I/O 8	data inputs/outputs
20	$\overline{CE1}$	chip enable 1
21	A10	address input
22	\overline{OE}	output enable
23 to 25	A8 to A11	address inputs
26	CE2	chip enable 2
27	\overline{WE}	write enable
28	V _{DD}	+ 5 V supply

DEVELOPMENT DATA

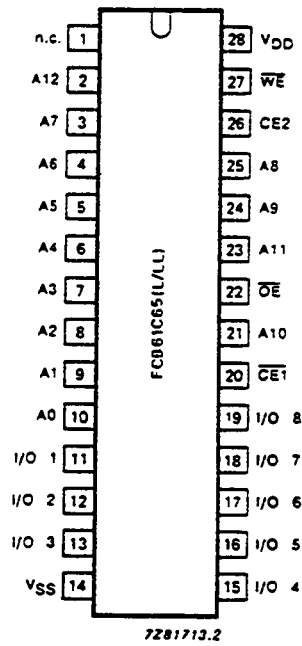


Fig. 2 Pinning diagram.

TRUTH TABLE

CE2	$\overline{CE1}$	\overline{OE}	\overline{WE}	mode	V _{DD} current	I/O pin	ref. cycle
L	X	X	X	not selected	I _{SB} *	HIGH Z	
X	H	X	X	not selected	I _{SB} *	HIGH Z	
H	L	L	H	read	I _{DD} /I _{DD1} *	D OUT	read (1) - (2)
H	L	H	L	write	I _{DD}	D IN	write (1)
H	L	L	L	write	I _{DD}	D IN	write (2)
H	L	H	H	ready-read	I _{DD} /I _{DD1} *	HIGH Z	

* Including L/LL versions if input levels are CMOS.

M68HC11

1

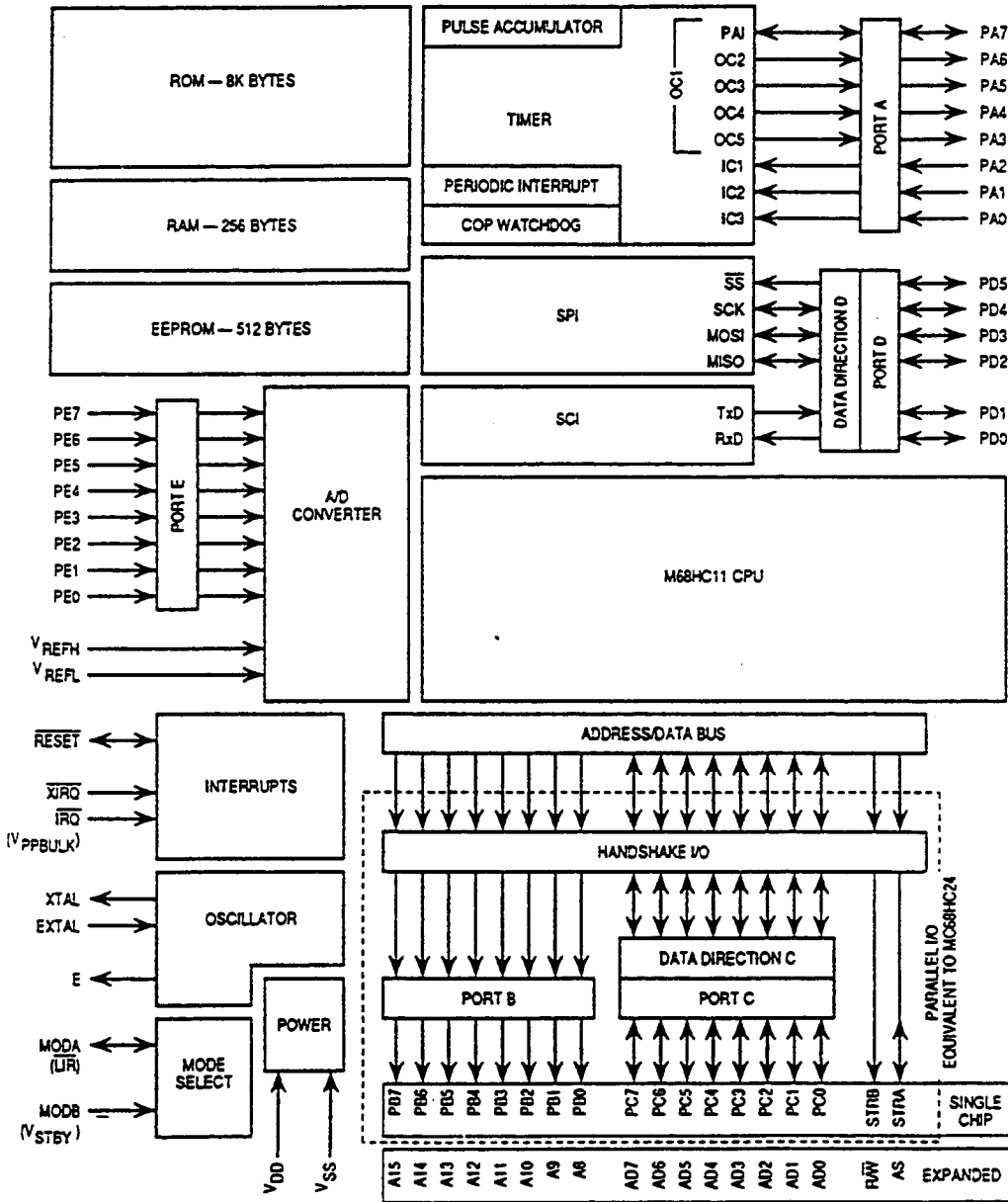


Figure 1-1. Block Diagram

DESCRIPTION

The MC1508/MC1408 series of 8-bit monolithic digital-to-analog converters provide high-speed performance with low cost. They are designed for use where the output current is a linear product of an 8-bit digital word and an analog reference voltage

FEATURES

- Fast settling time — 70ns (typ)
- Relative accuracy $\pm 0.19\%$ (max error)
- Non-inverting digital inputs are TTL and CMOS compatible
- High-speed multiplying rate 4.0mA/ μ s (input slew)
- Output voltage swing $\pm 0.5V$ to $-5.0V$
- Standard supply voltages $+5.0V$ and $-5.0V$ to $-15V$
- Military qualifications pending

APPLICATIONS

- Tracking A-to-D converters
- 2 1/2-digit panel meters and DVMs
- Waveform synthesis
- Sample-and-Hold
- Peak detector
- Programmable gain and attenuation
- CRT character generation
- Audio digitizing and decoding
- Programmable power supplies
- Analog-digital multiplication
- Digital-digital multiplication
- Analog-digital division
- Digital addition and subtraction
- Speech compression and expansion
- Stepping motor drive modems
- Servo motor and pen drivers

CIRCUIT DESCRIPTION

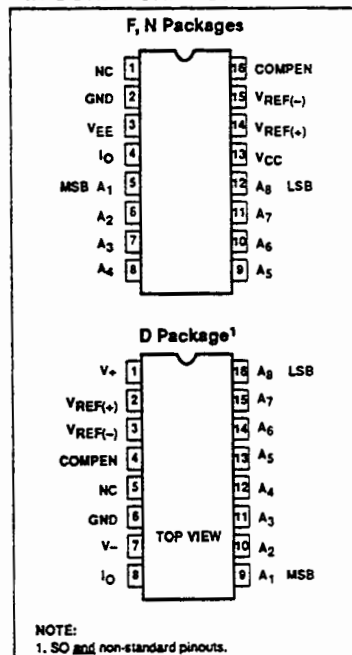
The MC1508/MC1408 consists of a reference current amplifier, an R-2R ladder, and 8 high-speed current switches. For many applications, only a reference resistor and reference voltage need be added.

The switches are non-inverting in operation; therefore, a high state on the input turns on the specified output current component.

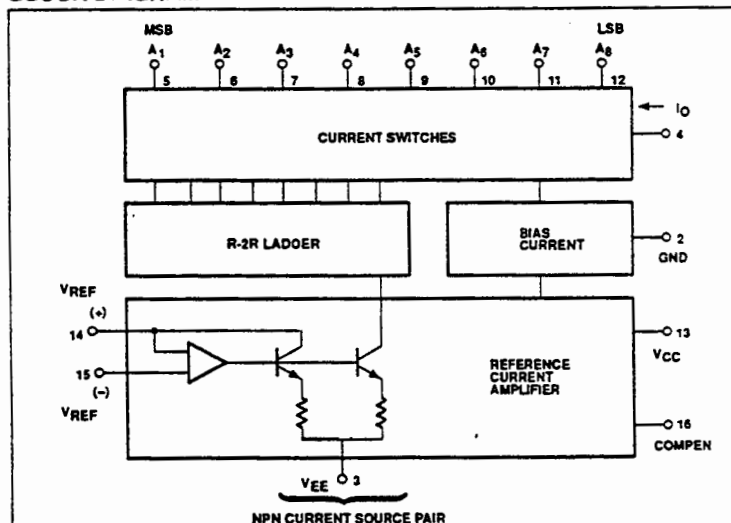
The switch uses current steering for high speed, and a termination amplifier consisting of an active load gain stage with unity gain feedback. The termination amplifier holds the parasitic capacitance of the ladder at a constant voltage during switching, and provides a low impedance termination of equal voltage for all legs of the ladder.

The R-2R ladder divides the reference amplifier current into binary-related components, which are fed to the remainder current which is equal to the least significant bit. This current is shunted to ground, and the maximum output current is 255/256 of the reference amplifier current, or 1.992mA for a 2.0mA reference amplifier current if the NPN current source pair is perfectly matched.

PIN CONFIGURATIONS



BLOCK DIAGRAM



8-bit multiplying D/A converter

MC1508-8/1408-8

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
16-Pin Cerdip	-55°C to +125°C	MC1508-8F
16-Pin Plastic DIP	0 to +70°C	MC1408-8N
16-Pin SO	0 to +70°C	MC1408-8D

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	Positive power supply voltage	+5.5	V
V_{EE}	Negative power supply voltage	-16.5	V
$V_5 - V_{12}$	Digital input voltage	0 to V_{CC}	V
V_O	Applied output voltage	-5.2 to +18	V
I_{14}	Reference current	5.0	mA
V_{14}, V_{15}	Reference amplifier inputs	V_{EE} to V_{CC}	
P_D	Maximum power dissipation, $T_A = 25^\circ\text{C}$ (still-air) ¹		
	F package	1190	mW
	N package	1450	mW
	D package	1080	mW
T_{SOLD}	Lead soldering temperature (10 sec)	300	°C
T_A	Operating temperature range	300	°C
	MC1508	-55 to +125	°C
	MC1408	0 to +75	°C
T_{STG}	Storage temperature range	-65 to +150	°C

NOTES:

- Derate above 25°C, at the following rates:
 F package at 9.5mW/°C
 N package at 11.6mW/°C
 D package at 8.6mW/°C

DC ELECTRICAL CHARACTERISTICS

Pin 3 must be 3V more negative than the potential to which R₁₅ is returned. V_{CC} = +5.0V_{DC}. V_{EE} = -15V_{DC}. V_{REF}/R₁₄ = 2.0mA unless otherwise specified. MC1508: T_A = -55°C to 125°C. MC1408: T_A = 0°C to 75°C, unless otherwise noted.

SYMBOL	PARAMETER	TEST CONDITIONS	MC1508-8			MC1408-8			UNIT
			Min	Typ	Max	Min	Typ	Max	
E _r	Relative accuracy	Error relative to full-scale I _O , Figure 3			±0.19			±0.19	%
t _s	Settling time ¹	To within 1/2 LSB, includes t _{PLH} , T _A = +25°C, Figure 4		70			70		ns
t _{PLH} t _{PML}	Propagation delay time Low-to-High High-to-Low	T _A = +25°C, Figure 4		35	100		35	100	ns
TC _{IO}	Output full-scale current drift			-20			-20		ppm/°C
V _{IH} V _{IL}	Digital input logic level (MSB) High Low	Figure 5	2.0		0.8	2.0		0.8	V _{DC}
I _{IH} I _{IL}	Digital input current (MSB) High Low	Figure 5 V _{IH} = 5.0V V _{IL} = 0.8V		0 -0.4	0.04 -0.8		0 -0.4	0.04 -0.8	mA
I _{I5}	Reference input bias current	Pin 15, Figure 5		-1.0	-5.0		-1.0	-5.0	µA
I _{OR}	Output current range	Figure 5 V _{EE} = -5.0V V _{EE} = -7.0V to -15V	0 0	2.0 2.0	2.1 4.2	0 0	2.0 2.0	2.1 4.2	mA
I _O	Output current	Figure 5 V _{REF} = 2.000V, R ₁₄ = 1000Ω All bits low	1.9	1.99	2.1	1.9	1.99	2.1	mA
I _{O(min)}	Off-state			0	4.0		0	4.0	µA
V _O	Output voltage compliance	E _r ≤ 0.19% at T _A = +25°C, Figure 5 V _{EE} = -5V V _{EE} below -10V		-0.6 +10 -5.5 +10	-0.55 +0.5 -5.0 +0.5		-0.6 +10 -5.5 +10	-0.55 +0.5 -5.0 +0.5	V _{DC}
SRI _{REF}	Reference current slew rate	Figure 6		8.0			8.0		mA/µs
PSRR(-)	Output current power supply sensitivity	I _{REF} = 1mA		0.5	2.7		0.5	2.7	µA/V
I _{CC} I _{EE}	Power supply current Positive Negative	All bits low, Figure 5		+2.5 -6.5	+22 -13		+2.5 -6.5	+22 -13	mA
V _{CCR} V _{EEER}	Power supply voltage range Positive Negative	T _A = +25°C, Figure 5	+4.5 -4.5	+5.0 -15	+5.5 -16.5	+4.5 -4.5	+5.0 -15	+5.5 -16.5	V _{DC}
P _D	Power dissipation	All bits low, Figure 5 V _{EE} = -5.0V _{DC} V _{EE} = -15.0V _{DC}		34 110	170 305		34 110	170 305	mW

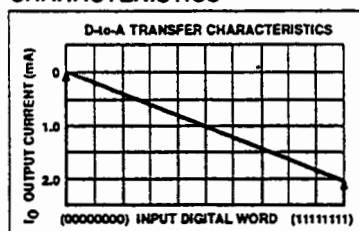
NOTES:

- All bits switched.

8-bit multiplying D/A converter

MC1508-8/1408-8

TYPICAL PERFORMANCE CHARACTERISTICS



FUNCTIONAL DESCRIPTION

Reference Amplifier Drive and Compensation

The reference amplifier input current must always flow into Pin 14, regardless of the setup method or reference supply voltage polarity.

Connections for a positive reference voltage are shown in Figure 1. The reference voltage source supplies the full reference current. For bipolar reference signals, as in the multiplying mode, R_{14} can be tied to a negative voltage corresponding to the minimum input level. R_{15} may be eliminated and Pin 15 grounded, with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increasing values of R_{14} to maintain proper phase margin. For R_{14} values of 1.0, 2.5, and 5.0k Ω , minimum capacitor values are 15, 37, and 75pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection. (Fluctuations in the negative supply have more effect on accuracy than do any changes in the positive supply.)

A negative reference voltage may be used if R_{14} is grounded and the reference voltage is applied to R_{15} , as shown in Figure 2. A high input impedance is the main advantage of this method. The negative reference voltage must be at least 3.0V above the V_{EE} supply. Bipolar input signals may be handled by connecting R_{14} to a positive reference voltage equal to the peak positive input level at Pin 15.

Capacitive bypass to ground is recommended when a DC reference voltage is used. The 5.0V logic supply is not recommended as a

reference voltage, but if a well regulated 5.0V supply which drives logic is to be used as the reference, R_{14} should be formed of two series resistors and the junction of the two resistors bypassed with 0.1 μ F to ground. For reference voltages greater than 5.0V, a clamp diode is recommended between Pin 14 and ground.

If Pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

Output Voltage Range

The voltage at Pin 4 must always be at least 4.5V more positive than the voltage of the negative supply (Pin 3) when the reference current is 2mA or less, and at least 8V more positive than the negative supply when the reference current is between 2mA and 4mA. This is necessary to avoid saturation of the output transistors, which would cause serious degradation of accuracy.

Signetics MC1508/MC1408 does not need a range control because the design extends the compliance range down to 4.5V (or 8V — see above) above the negative supply voltage without significant degradation of accuracy. Signetics MC1508/MC1408 can be used in sockets designed for other manufacturers' MC1508/MC1408 without circuit modification.

Output Current Range

Any time the full-scale current exceeds 2mA, the negative supply must be at least 8V more negative than the output voltage. This is due to the increased internal voltage drops between the negative supply and the outputs with higher reference currents.

Accuracy

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy, full-scale accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current after zero-scale current has been nulled out. The relative accuracy of the MC1508/MC1408 is essentially constant over the operating temperature range because of the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current;

however, the MC1508/MC1408 has a very low full-scale current drift over the operating temperature range.

The MC1508/MC1408 series is guaranteed accurate to within $\pm 1/2$ LSB at +25°C at a full-scale output current of 1.99mA. The relative accuracy test circuit is shown in Figure 3. The 12-bit converter is calibrated to a full-scale output current of 1.99219mA; then the MC1508/MC1408's full-scale current is trimmed to the same value with R_{14} so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on the oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accurate D-to-A converter. 16-bit accuracy implies a total of $\pm 1/2$ part in 65,536, or $\pm 0.00076\%$, which is much more accurate than the $\pm 0.19\%$ specification of the MC1508/MC1408.

Monotonicity

A monotonic converter is one which always provides an analog output greater than or equal to the preceding value for a corresponding increment in the digital input code. The MC1508/MC1408 is monotonic for all values of reference current above 0.5mA. The recommended range for operation is a DC reference current between 0.5mA and 4.0mA.

Settling Time

The worst case switching condition occurs when all bits are switched on, which corresponds to a low-to-high transition for all input bits. This time is typically 70ns for settling to within 1/2LSB for 8-bit accuracy. This time applies when $R_L < 500\Omega$ and $C_O < 25$ pF. The slowest single switch is the least significant bit, which typically turns on and settles in 65ns. In applications where the D-to-A converter functions in a positive going ramp mode, the worst-case condition does not occur and settling times less than 70ns may be realized.

Extra care must be taken in board layout since this usually is the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μ F supply bypassing for low frequencies, minimum scope lead length, good ground planes, and avoidance of ground loops are all mandatory.

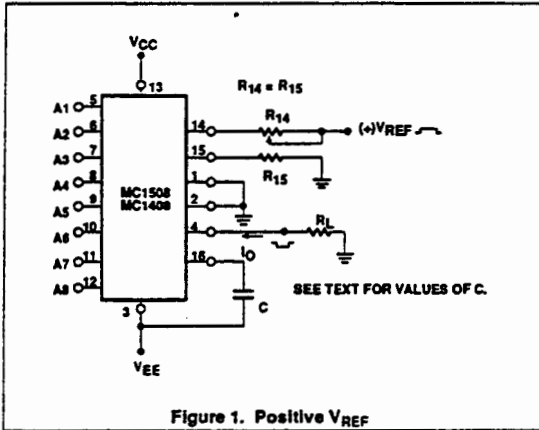


Figure 1. Positive V_{REF}

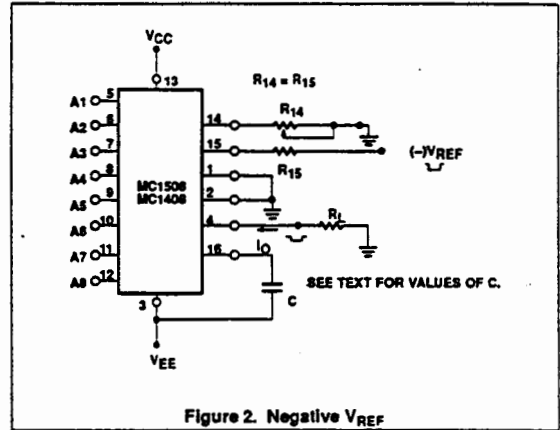


Figure 2. Negative V_{REF}

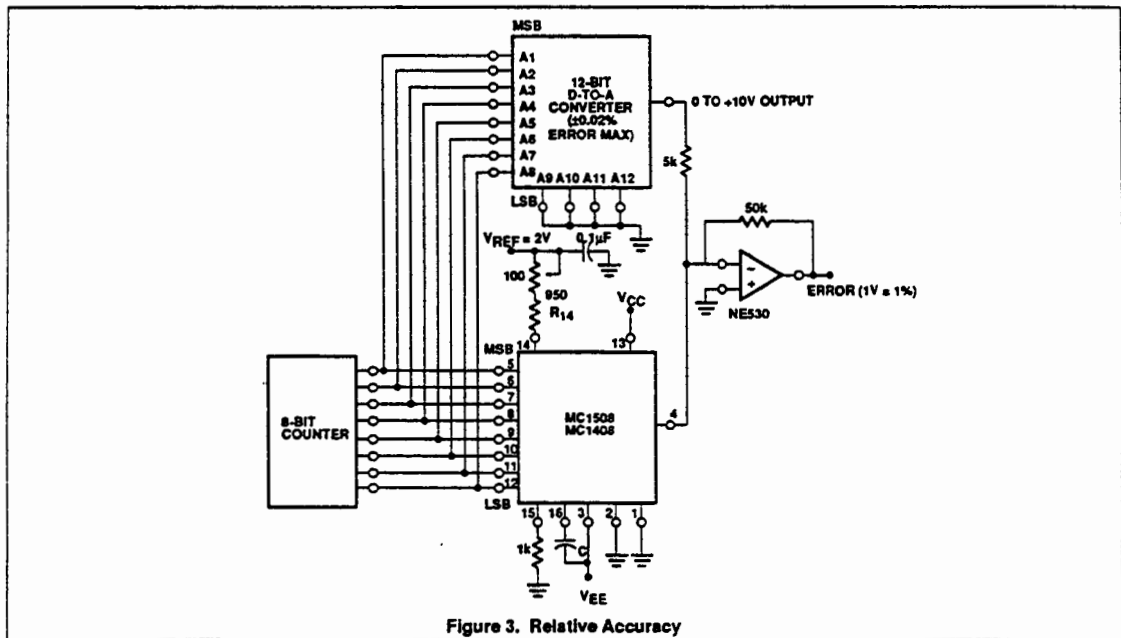


Figure 3. Relative Accuracy

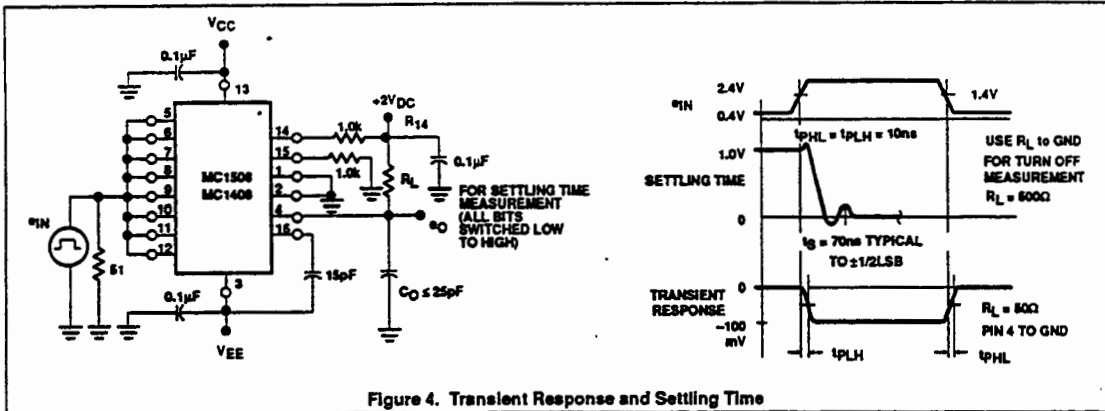


Figure 4. Transient Response and Settling Time

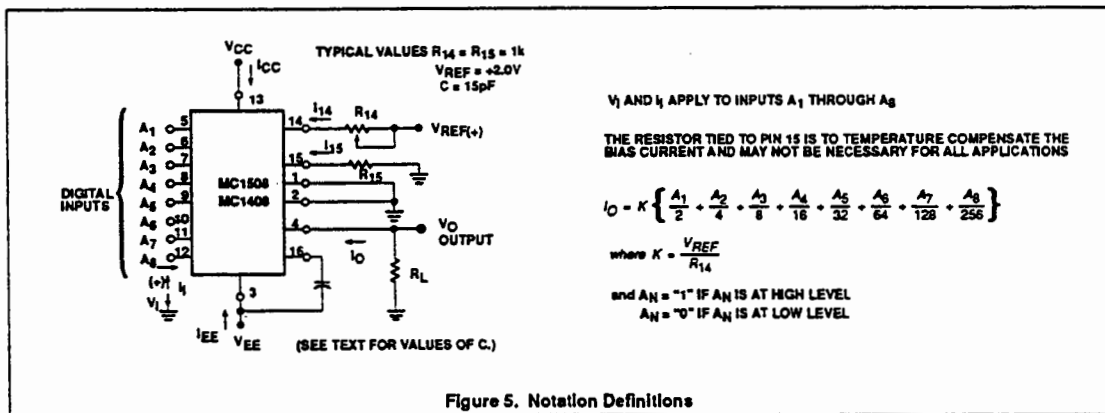


Figure 5. Notation Definitions

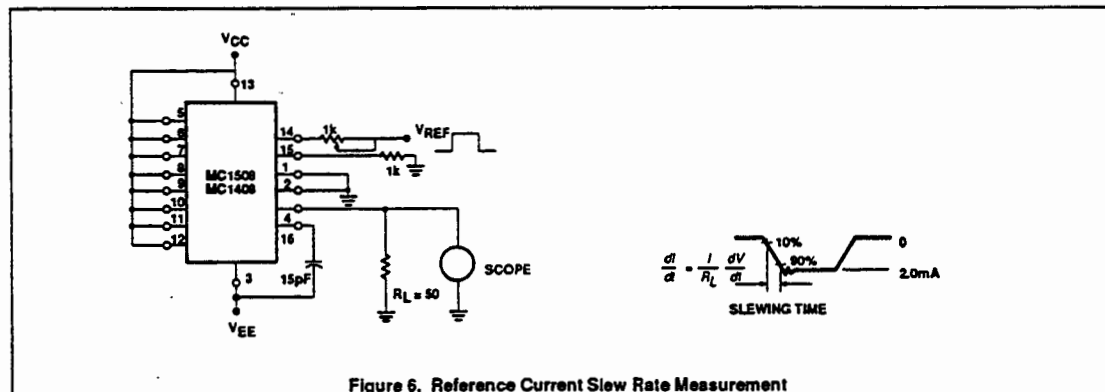


Figure 6. Reference Current Slew Rate Measurement

PRESETTABLE SYNCHRONOUS 4-BIT BINARY UP/DOWN COUNTER

FEATURES

- Synchronous reversible counting
- Asynchronous parallel load
- Count enable control for synchronous expansion
- Single up/down control input
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT191 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT191 are asynchronously presettable 4-bit binary up/down counters. They contain four master/slave flip-flops with internal gating and steering logic to provide asynchronous preset and synchronous count-up and count-down operation.

Asynchronous parallel load capability permits the counter to be preset to any desired number. Information present on the parallel data inputs (D_0 to D_3) is loaded into the counter and appears on the outputs when the parallel load (PL) input is LOW. As indicated in the function table, this operation overrides the counting function.

Counting is inhibited by a HIGH level on the count enable (CE) input. When CE is LOW internal state changes are initiated synchronously by the LOW-to-HIGH transition of the clock input. The up/down (\bar{U}/D) input signal determines the direction of counting as indicated in the function table. The CE input may go LOW when the clock is in either state, however, the LOW-to-HIGH CE transition must occur only when the clock is HIGH. Also, the \bar{U}/D input should be changed only when either CE or CP is HIGH.

(continued on next page)

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay CP to Q_n	$C_L = 15 \text{ pF}$ $V_{CC} = 5 \text{ V}$	22	22	ns
f_{max}	maximum clock frequency		36	36	MHz
C_I	input capacitance		3.5	3.5	pF
CPD	power dissipation capacitance per package	notes 1 and 2	31	33	pF

$GND = 0 \text{ V}; T_{amb} = 25 \text{ }^\circ\text{C}; t_r = t_f = 6 \text{ ns}$

Notes

1. CPD is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = CPD \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$$
where:
 f_i = input frequency in MHz C_L = output load capacitance in pF
 f_o = output frequency in MHz V_{CC} = supply voltage in V
 $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
2. For HC the condition is $V_I = GND$ to V_{CC}
For HCT the condition is $V_I = GND$ to $V_{CC} - 1.5 \text{ V}$

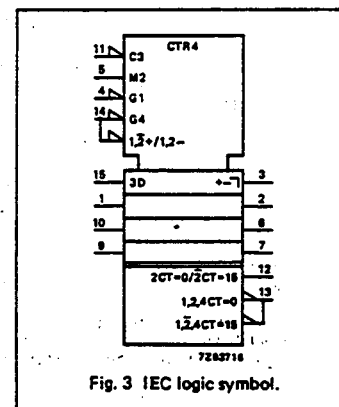
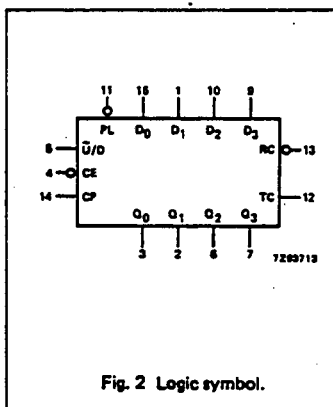
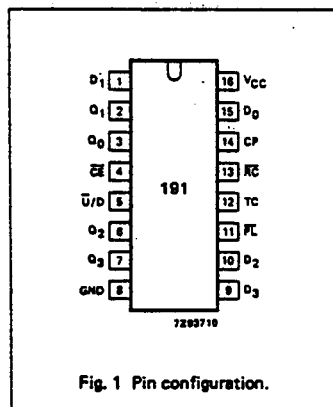
PACKAGE OUTLINES

16-lead DIL; plastic (SOT38Z).

16-lead mini-pack; plastic (SO16; SOT109A).

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	Q_0 to Q_3	flip-flop outputs
4	CE	count enable input (active LOW)
5	\bar{U}/D	up/down input
8	GND	ground (0 V)
11	PL	parallel load input (active LOW)
12	TC	terminal count output
13	RC	ripple clock output (active LOW)
14	CP	clock input (LOW-to-HIGH, edge triggered)
15, 1, 10, 9	D_0 to D_3	data inputs
16	V_{CC}	positive supply voltage



74HC/HCT191
MSI

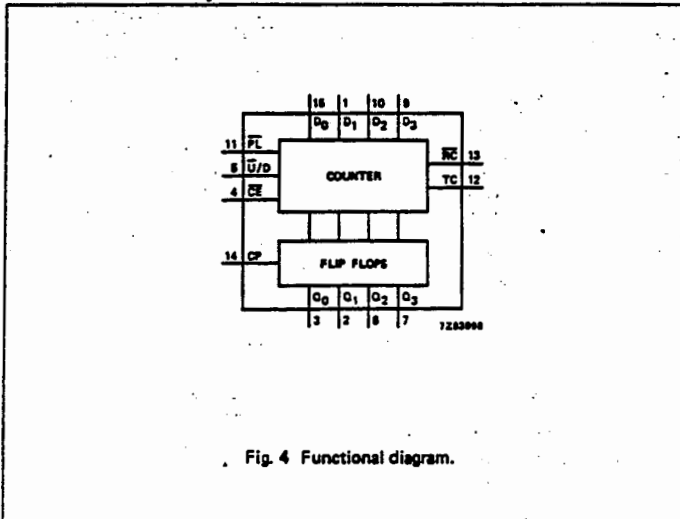


Fig. 4 Functional diagram.

GENERAL DESCRIPTION

Overflow/underflow indications are provided by two types of outputs, the terminal count (TC) and ripple clock (RC). The TC output is normally LOW and goes HIGH when a circuit reaches zero in the count-down mode or reaches "15" in the count-up mode. The TC output will remain HIGH until a state change occurs, either by counting or presetting, or until U/D is changed. Do not use the TC output as a clock signal because it is subject to decoding spikes. The TC signal is used internally to enable the RC output. When TC is HIGH and CE is LOW, the RC output follows the clock pulse (CP). This feature simplifies the design of multistage counters as shown in Figs 5 and 6.

In Fig. 5, each RC output is used as the clock input to the next higher stage. It is only necessary to inhibit the first stage to prevent counting in all stages, since a HIGH on CE inhibits the RC output pulse as indicated in the function table. The timing skew between state changes in the first and last stages is represented by the cumulative delay of the clock as it ripples through the preceding stages. This can be a disadvantage of this configuration in some applications.

Fig. 6 shows a method of causing state changes to occur simultaneously in all stages. The RC outputs propagate the carry/borrow signals in ripple fashion and all clock inputs are driven in parallel. In this configuration the duration of the clock LOW state must be long enough to allow the negative-going edge of the carry/borrow signal to ripple through to the last stage before the clock goes HIGH. Since the RC output of any package goes HIGH shortly after its CP input goes HIGH there is no such restriction on the HIGH-state duration of the clock.

In Fig. 7, the configuration shown avoids ripple delays and their associated restrictions. Combining the TC signals from all the preceding stages forms the CE input for a given stage. An enable must be included in each carry gate in order to inhibit counting. The TC output of a given stage is not affected by its own CE signal therefore the simple inhibit scheme of Figs 5 and 6 does not apply.

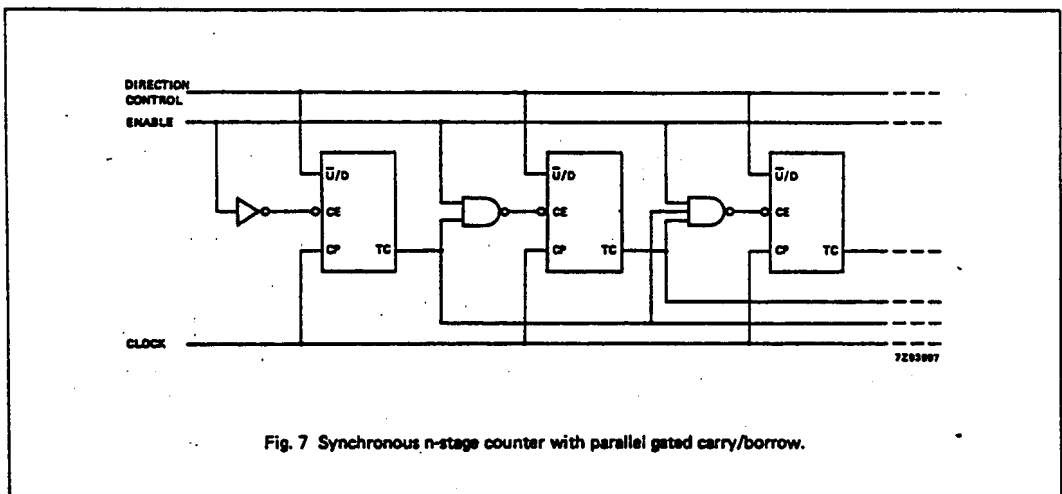
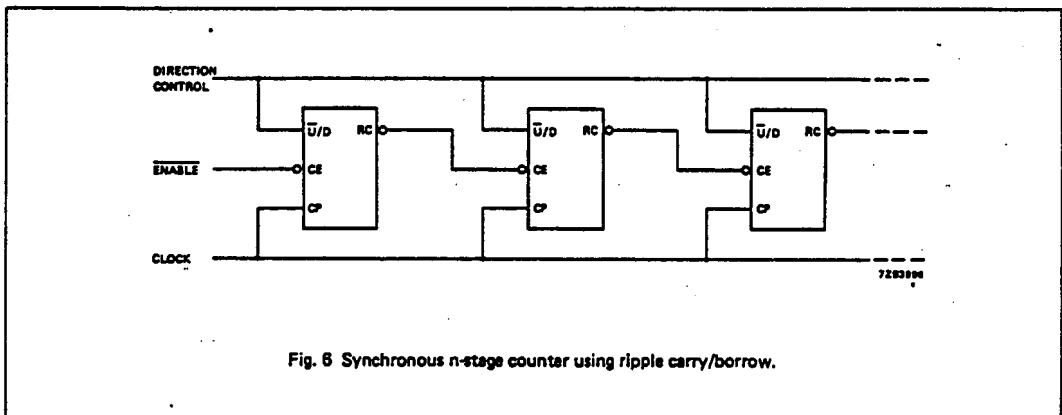
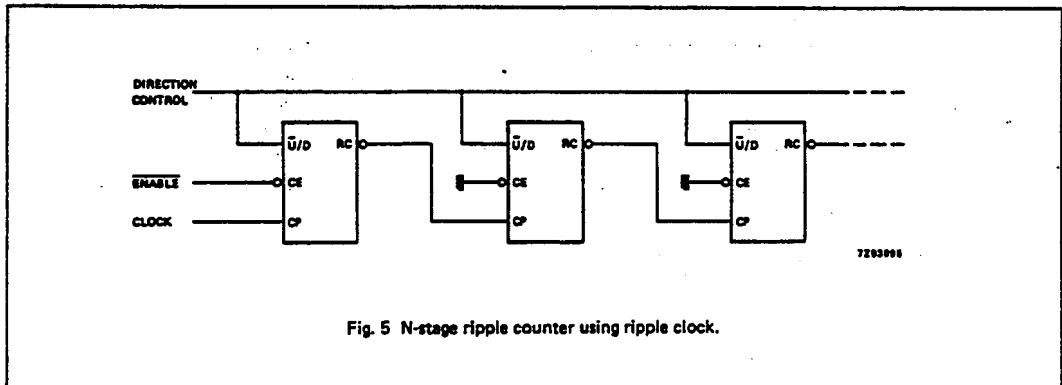
FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS	
	FL	U/D	CE	CP	D _n	Q _n	
parallel load	L	X	X	X	L	L	
	L	X	X	X	H	H	
count up	H	L	I	↑	X	count up	
count down	H	H	I	↑	X	count down	
hold (do nothing)	H	X	H	X	X	no change	

TC AND RC FUNCTION TABLE

INPUTS			TERMINAL COUNT STATE				OUTPUTS	
U/D	CE	CP	Q ₀	Q ₁	Q ₂	Q ₃	TC	RC
H	H	X	H	H	H	H	L	H
L	H	X	H	H	H	H	H	H
L	L	⌋	H	H	H	H	⌋	⌋
L	H	X	L	L	L	L	L	H
H	H	X	L	L	L	L	H	H
H	L	⌋	L	L	L	L	⌋	⌋

- H = HIGH voltage level
- L = LOW voltage level
- I = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
- X = don't care
- ↑ = LOW-to-HIGH CP transition
- ⌋ = one LOW level pulse
- ⌋ = TC goes LOW on a LOW-to-HIGH CP transition



74HC/HCT191
MSI

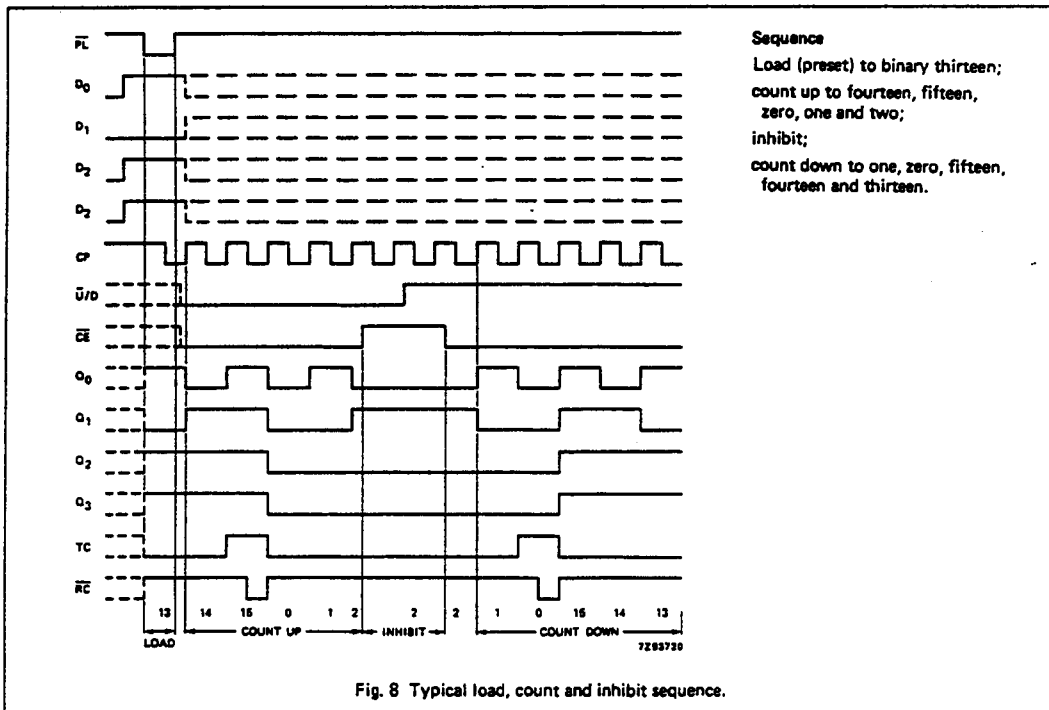


Fig. 8 Typical load, count and inhibit sequence.

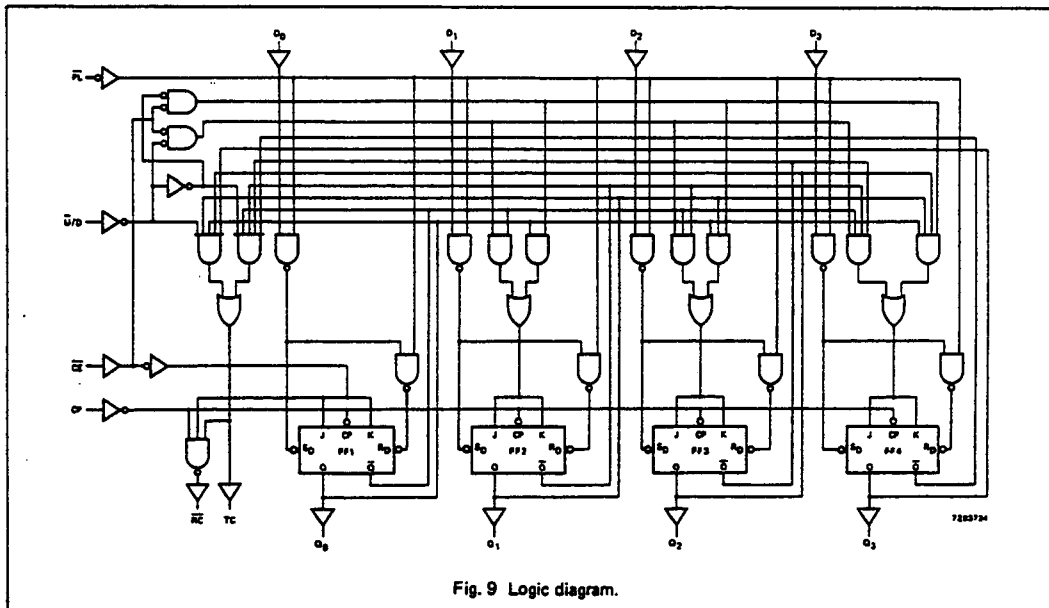


Fig. 9 Logic diagram.